

4. Deliyannis, T. Continuous-time active filter design [Text] / Theodore L. Deliyannis, Yichuang Sun, J. Kel Fidler. – Florida: CRC Press, 1999. – 464 p.
5. Mohan, A. Current-mode VLSI analog filters: design and applications [Text] / Ananda Mohan. – Birkhauser Boston, 2003. – 453 p.
6. Martinez, J. A 10.7-MHz 68-dB SNR CMOS continuous-time filter with on-chip automatic tuning [Text] / Martinez Jose Silva, Sansen Willy // IEEE Journal of Solid-State Circuits. – 1992. – Vol. 21, N. 12. – P. 1843-1853.
7. Gomez, G. A nonlinear macromodel for CMOS OTAs [Text] / Gabriel G. Gomez, Edgar Sanchez-Sinencio, Martin C. Lefebvre // Circuits and Systems, IEEE International Symposium, 1995. – P. 920-923.
8. Cheng, Z. OTA macromodel and quarter-square multiplier [Text] / Ze Cheng, Jianyou Liu, Yanli Liu // Transactions of Tianjin University. – 1999. – Vol. 5, N. 2. – P. 6.
9. Azhari, S. High linear, high CMRR, low power OTA with class AB output stage [Text] / Seyed Javad Azhari, Farzan Rezaei // International Journal of Computer Theory and Engineering. – August, 2010. – Vol. 2, No. 4. – 5 p.

*Розглянуто принципи побудови фазових акумуляторів у прямих цифрових синтезаторах частоти – DDS. Виконано аналіз виникнення затримок розповсюдження сигналу переносу у накопичувачах відліків фази. Розглянуто математичні оператори для побудови високошвидкісних фазових акумуляторів обчислювальних синтезаторів частоти. Запропоновані правила для створення операцій без переносу. Застосування запропонованих правил для побудови фазових акумуляторів дозволить зменшити енергоспоживання синтезаторів та покращити їх тактико-технічні характеристики*

*Ключові слова: синтезатор частоти, фазовий акумулятор, прямий цифровий синтезатор частоти, накопичувальний суматор*

*Рассмотрены принципы построения фазовых аккумуляторов в прямых цифровых синтезаторах частоты – DDS. Выполнен анализ возникновения задержек распространения сигнала переноса в накопителях отсчетов фазы. Рассмотрены математические операторы для построения высокоскоростных фазовых аккумуляторов вычислительных синтезаторов частоты. Предложены правила для создания операций без переноса. Применение предложенных правил для построения фазовых аккумуляторов позволит уменьшить энергопотребление синтезаторов и улучшить их тактико-технические характеристики*

*Ключевые слова: синтезатор частоты, фазовый аккумулятор, прямой цифровой синтезатор частоты, накопительный сумматор*

УДК 621.396.662

## ЗАСТОСУВАННЯ ОПЕРАЦІЙ БЕЗ ПЕРЕНОСУ У ВИСОКОШВИДКІСНИХ ОБЧИСЛЮВАЛЬНИХ СИНТЕЗАТОРАХ ЧАСТОТИ

**О. І. Полікарівських**

Кандидат технічних наук, доцент  
Кафедра радіоелектронних апаратів  
та телекомунікацій

Хмельницький національний університет  
вул. Інститутська 11, м. Хмельницький,  
Україна, 29016

E-mail: polalexey@gmail.com

**І. В. Троцишин**

Доктор технічних наук, професор  
Кафедра теорії електричного зв'язку ім. А. Г. Зюко  
Одеська національна академія зв'язку  
ім. О. С. Попова

вул. Ковальська 1, м. Одеса, Україна, 65029

E-mail: vottp.tiv@gmail.com

### 1. Вступ

Прямі цифрові синтезатори частоти відіграють важливу роль у сучасних радіоелектронних пристроях. Це забезпечується багатьма значними перевагами: швидкість перенаштування частоти, висока розрізняльна здатність, широка синтезована смуга частот. Багаторівневі DDS у силу своєї, технологічності, над-

ійності, можливості мікромініатюризації та унікальності технічних характеристик (нерозривність фази під час перемикання з частоти на частоту, можливість формування сигналів складної форми, цифрове керування амплітудою, частотою та фазою вихідного коливання) на сьогодні знайшли застосування у системах зв'язку. Особливо перспективним є використання DDS у радіотехнічних системах передачі інформації з під-

вищеною завадостійкістю та захищеністю. Одночасно із зростанням робочих частот синтезатора зростає їх енергоспоживання, що є неприйнятним для портативної апаратури.

Отже необхідно шукати структуру синтезатора в КМОП технології, яке вирішило б питання високих робочих частот синтезатора з одночасним низьким енергоспоживанням.

Одним з обмежуючих факторів за максимальною швидкістю та якісним спектральним складом таких синтезаторів є швидкість окремих арифметичних операцій в ядрі цифрового синтезатора.

## 2. Постановка задачі

Задачу підвищення швидкості та надійності обчислень у прямих цифрових синтезаторах частоти (DDS) можна розглядати з двох сторін. З одного боку це апаратний рівень, фундаментальними обмеженнями на якому є технічні можливості створення елементної бази – зменшення розмірів кристалів, збільшення частоти синхронізації (тактової частоти), вирішення проблем тепловідведення та ін. Багато в чому цей рівень визначається сучасним станом фундаментальних наук, перш за все, фізики. З іншого боку це - математико - алгоритмічний рівень обчислень, і фундаментальними обмежуючими факторами тут виступають, в числі інших, необхідність послідовного обчислення, коли наступний етап (крок) частково або повністю залежить від попередніх кроків. Навіть найпростіші арифметичні операції додавання і множення при реалізації їх обчислювачами з архітектурою фон – Неймана здійснюються побітно, і обчислення кожного наступного біта залежить від результату операції над попередніми бітами (у даному випадку це знак переносу - carry sign), існують і інші обчислювальні архітектури, в яких акцент зроблено на паралельність і масовість обчислень. Велику популярність зараз мають нейронні мережі, які, володіючи алгоритмічною універсальністю машини Тьюринга, вже довели своє перевагу в слабо формалізованих завданнях, пов'язаних з необхідністю навчання. Використання системи залишкових класів (СЗК) і модулярних обчислень дозволяє істотно збільшити швидкість арифметичних обчислень за рахунок паралельного виконання операцій над залишками. Сучасна апаратна база дозволяє також замінювати арифметичні операції над залишками одноктактним і табличними вибірками. Довгий час модулярна ариф-

метика розглядалася як цікаве, але суто теоретичне питання через складність виробництва обчислювальних структур для її реалізації.

Сучасний розвиток технології інтегральних схем зробило можливим використання модулярної арифметики у багатьох областях цифрової обробки сигналів, розпізнавання образів і інших завдань, що вимагають інтенсивних обчислень переваги реалізації синтезаторів прямого цифрового синтезу (DDS) у кінцевих полях досягається заміною суматорів (а у деяких випадках перемножувачів) еквівалентними схемами, котрі за певних умов дозволяють значно економити апаратні ресурси і реалізувати синтезатори з покращеними параметрами.

## 3. Аналіз досліджень та публікацій

Основним функціональним блоком синтезатора частоти є акумулятор фази. Важливою проблемою такого акумулятора є проблема поширення переносу [1 – 6]. Затримка поширення сигналу переносу призводить до нерівномірності формування сигналів переповнення фазового акумулятора і відповідно до формування квазіперіодичного вихідного сигналу – секвентності. N-бітний фазовий акумулятор може бути побудований за допомогою N-бітного суматора та N D-тригерів.

На практиці такий фазовий акумулятор не може здійснити додавання за один тактовий інтервал, через затримку результату на кожному одиничному суматорі. В роботі [7] запропоновано для зменшення залежності затримки поширення сигналів переносу, операнди та сигнали переносу необхідно захоплювати у стійкі стани D тригерами. У разі застосування чотирьохбітних ядер суматорів, структурна схема такого акумулятора фази набуде наступного вигляду (рис. 1).

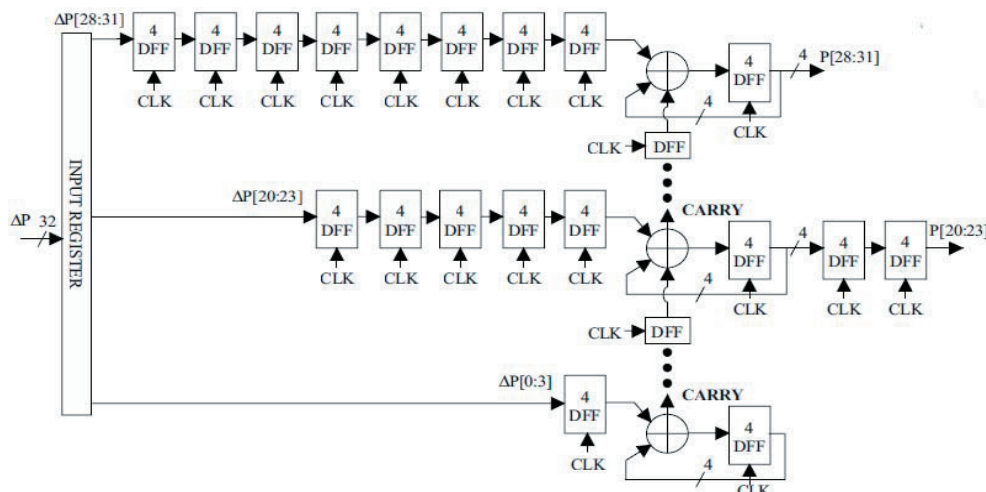


Рис. 1. Технологія 32-бітного фазового акумулятора з 4-х розрядними суматорами [2]

Для підтримання коректного стану акумулятора, протягом часу виконання додавання необхідно підтримувати значення фазового слова на вході схеми. А результат акумулювання з'явиться на вихо-

ді акумулятора лише через певну кількість тактів. Для прикладу на рис. 1 затримка складе 9 повних тактових циклів. Крім того для 32-х бітного акумулятора з 4-х бітною конвеєрною організацією, схема вимагає 144 D-тригера, чітка синхронізація яких є окремою складною науково-технічною задачею. Для спрощення схеми та зменшення кількості D-тригерів застосовують схеми перекосів на основі регістрів вирівнювання затримки. Платою за таке спрощення є зменшення частоти оновлення станів тригерів тільки  $f_s/N$ , де  $N$  – кількість станів конвеєра. Фазове слово, що надходить до фазового акумулятора, у більшості випадків формується у схемах з набагато меншою швидкодією, і часто асинхронно до опорного джерела DDS. Для дозволу асинхронного завантаження вхідного фазового слова необхідно додатково використовувати подвійну буферизацію входу фазового акумулятора

Вихідні елементи затримки будуються аналогічно до вхідних, так щоб молодші біти отримували найбільшу затримку, а найбільш важливі старші біти отримували мінімальну затримку. На рис. 1 дані найбільш значущих 12 біт фазового акумулятора затримуються в конвеєрних регістрах для досягнення повної синхронізації у конвертері фаза-амплітуда. Спрощення структури такого акумулятора фази досягається шляхом зменшення кількості регістрів затримки у молодших менш значущих бітах. Це стає можливим через те, що лише старші біти з виходу фазового акумулятора використовуються для перетворення фазових відліків у синусоїдальну функцію. Затримка між появою актуального значення фази на виході та завантаженням вхідного фазового слова складе 9 повних тактових циклів.

#### 4. Формування мети та задач

Проаналізуємо можливість побудови накопичувального суматора без проблеми затримки поширення переносу. Переважна більшість суматорів використовують класичний базис Радемахера. Суматор може бути прискорений за рахунок застосування систем числення без залишків. Такі системи числення не мають елементів переносу між розрядами, отже проблема біжучого переносу для них не існує. Вперше таку ідею висловив Хармут Х. у книзі «Теорія секвентного аналізу» [8]. Проте кодування та декодування з однієї системи представлення чисел у іншу займає певний час і зменшує вигоду від зростання швидкості обчислення.

Під час додавання та віднімання у двійковій системі числення виникає необхідність перенесення цифр із розряду в розряд. Якщо традиційні операції додавання та віднімання замінити на еквівалентні операції, які не потребують перенесення цифр із розряду у розряд, то це призведе до зменшення часу лічби. Крім того, зникне необхідність в обладнанні для виконання операцій переносу із розряду у розряд.

Отже метою роботи є розробка нових математичних підходів до побудови прямих цифрових синтезаторів частоти. Для цього необхідно розв'язати задачі пов'язані з розробкою математичних операцій без переносу.

#### 5. Пропонована математична модель суматора без переносу із розряду в розряд

Спроби знайти більш ефективні еквіваленти операцій додавання і віднімання здаються на перший погляд нереальними. Однак це не так. Очевидним еквівалентом операції додавання у цифрових системах є додавання за модулем 2. Однак крім цієї основної операції потрібна ще одна операція, що є еквівалентною операції віднімання і, так само як операція додавання за модулем 2, повинна бути основною. Нехай ми додаємо числа  $p$  та  $q$ . Сума  $p+q$  не може бути перетворена назад у її доданки  $p$  та  $q$ , бо вона містить менше інформації, ніж її доданки  $p$  та  $q$ . Якщо ж визначити також різницю чисел  $p-q$ , то можна повернутися від  $p+q$  і  $p-q$  назад до  $p$  та  $q$ :

$$(p+q)+(p-q)=2p, (p+q)-(p-q)=2q. \quad (1)$$

У табл. 1 – 3 наведена таблиця істинності для додавання за модулем 2 двох чисел  $p$  та  $q$ , кожне з яких складається із однієї двійкової цифри. Символ  $\oplus$  використовується для додавання за модулем 2.

Таблиця 1

Дія оператора додавання за модулем 2 (а) на окремі двійкові цифри

| a | q            |   |   |
|---|--------------|---|---|
| p | $p \oplus q$ | 0 | 1 |
|   | 0            | 0 | 1 |
|   | 1            | 1 | 0 |

Через те що  $0 \oplus 0$  та  $1 \oplus 1$  рівні 0, то віднімання (яке ми будемо позначати символом  $\ominus$ ) необхідно визначити так, щоб  $0 \oplus 0$  та  $1 \oplus 1$  мали різне значення. Ці зауваження стосуються доданків  $0 \oplus 1 = 1$  і  $1 \oplus 0 = 1$ . В табл. 2, 3 наведені єдині можливі нетривіальні визначення операції  $\ominus$ . Значення суми  $p \oplus q$  і різниці  $p \ominus q$ ,  $q \ominus p$  дозволяють знайти  $p$  та  $q$  окремо.

Таблиця 2

Дія оператора Серла на окремі двійкові цифри (б)

| b | q             |   |   |
|---|---------------|---|---|
| p | $p \ominus q$ | 0 | 1 |
|   | 0             | 1 | 0 |
|   | 1             | 1 | 0 |

Таблиця 3

Дія оператора Серла на окремі двійкові цифри (в)

| v | q             |   |   |
|---|---------------|---|---|
| p | $q \ominus p$ | 0 | 1 |
|   | 0             | 1 | 1 |
|   | 1             | 0 | 0 |

Визначення операції  $\ominus$  має один недолік:  $p \ominus q$  не залежить від  $p$ , а  $q \ominus p$  не залежить від  $q$ . У відповідно-

сті до табл. 2, 3,  $q=0$  означає  $\overline{p\oplus q}=1$ , а  $q=1$  означає  $p\oplus q=0$  незалежно від значення  $p$ . Хоча у визначенні операції  $\oplus$  немає математичної помилки, від такого простого визначення не слід очікувати якогось значного практичного результату.

Складність цієї ситуації, що виникла при застосуванні її до двійкових цифр, можна обійти, якщо цю операцію визначити у застосуванні до пари двійкових чисел. У табл. 4, 5 наведено результати додавання за модулем 2 пар двійкових чисел. Цю таблицю можна легко отримати з табл. 1. Операція  $\oplus$  визначена у табл. 2. Легко побачити, що  $p\oplus q$  тепер залежить від  $p$  та  $q$ .

Таблиця 4

Дія оператора додавання за модулем 2 (а) на пару двійкових цифр

| a |             | q  |    |    |    |
|---|-------------|----|----|----|----|
| p | $p\oplus q$ | 00 | 01 | 10 | 11 |
|   | 00          | 00 | 01 | 10 | 11 |
|   | 01          | 01 | 00 | 11 | 10 |
|   | 10          | 10 | 11 | 00 | 01 |
|   | 11          | 11 | 10 | 01 | 00 |

Таблиця 5

Дія оператора додавання за модулем 2 (а) на пару двійкових цифр

| b |             | q  |    |    |    |
|---|-------------|----|----|----|----|
| p | $p\oplus q$ | 00 | 01 | 10 | 11 |
|   | 00          | 00 | 10 | 11 | 01 |
|   | 01          | 11 | 01 | 00 | 10 |
|   | 10          | 01 | 11 | 10 | 00 |
|   | 11          | 10 | 00 | 01 | 11 |

Існують також інші визначення операцій додавання та віднімання пар двійкових чисел. Отже операції, що наведені у табл. 4, 5, можливо не є найкращими. Методи формування таких операцій розглядаються у теорії груп, у розділах що присвячені кільцям.

Для того щоб відновити значення  $p$  та  $q$  по значенням  $p\oplus q$  і  $p\oplus q$  необхідно визначити зворотні операції. Для цього використаємо рівняння (1), яке визначає зворотній процес для звичайного додавання та віднімання.

Однак формули (1) дають  $2p$  та  $2q$  замість  $p$  та  $q$ . Але ми поки не визначили процес ділення, який би відповідав операціям  $\oplus$  та  $\oplus$ , тому визначимо дві зворотні операції  $\oplus_i$  та  $\oplus_i$  наступним чином:

$$(p\oplus q)\oplus_i(p\oplus q)=p, (p\oplus q)\oplus_i(p\oplus q)=q. \tag{2}$$

У явному вигляді визначення цих операцій наведено в табл. 6, 7.

Спочатку за допомогою табл. 4, 5 знаходять ті значення  $p$  та  $q$ , які визначаються відповідною парою  $p\oplus q$  і  $p\oplus q$ . Так, наприклад,  $p\oplus q=01$  і  $p\oplus q=11$  визначають пару  $p=01$  і  $q=00$ . Дійсно, жодні інші пари  $p, q$  не дають  $p\oplus q=01$  і  $p\oplus q=11$ .

Таблиця 6

Визначення зворотних операцій  $\oplus_i$  та  $\oplus_i$ , які відповідають прямим операціям  $\oplus$  та  $\oplus$ , що визначені у табл. 4

| $(p\oplus q)\oplus_i(p\oplus q)=p$ |    |             |    |    |    |
|------------------------------------|----|-------------|----|----|----|
| a                                  |    | $p\oplus q$ |    |    |    |
|                                    |    | 00          | 01 | 10 | 11 |
| $p\oplus q$                        | 00 | 00          | 01 | 10 | 11 |
|                                    | 01 | 10          | 11 | 00 | 01 |
|                                    | 10 | 11          | 10 | 01 | 00 |
|                                    | 11 | 01          | 00 | 11 | 10 |

Таблиця 7

Визначення зворотних операцій  $\oplus_i$  та  $\oplus_i$ , які відповідають прямим операціям  $\oplus$  та  $\oplus$ , що визначені у табл. 5

| $(p\oplus q)\oplus_i(p\oplus q)=q$ |    |             |    |    |    |
|------------------------------------|----|-------------|----|----|----|
| b                                  |    | $p\oplus q$ |    |    |    |
|                                    |    | 00          | 01 | 10 | 11 |
| $p\oplus q$                        | 00 | 00          | 01 | 10 | 11 |
|                                    | 01 | 11          | 10 | 01 | 00 |
|                                    | 10 | 01          | 00 | 11 | 10 |
|                                    | 11 | 10          | 11 | 00 | 01 |

Знаки + та - використовуються як оператори, якщо вони означають додавання та віднімання. Разом з тим їх використовують для розрізнення додатних і від'ємних чисел.

Таким чином, перехід від + до  $\oplus$  і від - до  $\oplus$  суттєво міняє сенс лише символів. Оператори  $\oplus$  та  $\oplus$  можуть діяти як на додатні так і на від'ємні числа. Пояснимо дію цих операторів на від'ємні числа. Правила для додавання за модулем 2 від'ємних чисел:

$$(-p)\oplus q = p\oplus(-q) = -(p\oplus q), (-p)\oplus(-q) = p\oplus q. \tag{3}$$

Через те що  $p\oplus q$  і  $(-p)\oplus(-q)$  дають  $p\oplus q$ , то необхідно вимагати, щоб  $p\oplus q$  і  $(-p)\oplus(-q)$  давали операції з протилежними знаками, якщо ці операції повинні бути оборотними. Тому єдиною можливістю є  $(-p)\oplus(-q) = -(p\oplus q)$ . Аналогічно співвідношення  $(-p)\oplus q = p\oplus(-q)$  приводить до умови, щоб  $(-p)\oplus q$  і  $p\oplus(-q)$  мають протилежні знаки, хоча лишається свобода вибору від'ємного знаку для  $(-p)\oplus q$  або  $p\oplus(-q)$ .

Прийmemo наступні правила:

$$(-p)\oplus q = (-p)\oplus(-q) = -(p\oplus q), p\oplus(-q) = p\oplus q. \tag{4}$$

Правила для зворотних операцій  $\oplus_i$  та  $\oplus_i$  не можна вивести незалежно; їх слід отримати із формул (3, 4), використовуючи підстановки  $a=p\oplus q$  і  $b=p\oplus q$ , отримуємо:

$$(p\oplus q)\oplus_i(p\oplus q) = a\oplus_i b = p, (p\oplus q)\oplus_i(p\oplus q) = a\oplus_i b = q. \tag{5}$$

За допомогою формул (3) та (5) знайдемо наступні співвідношення:

$$\begin{aligned} -p &= [(-p) \oplus q] \oplus_i [(-p) \bar{\oplus} q] = [-(p \oplus q)] \oplus_i [-(p \oplus q)], \\ -(a \oplus_i b) &= (-a) \oplus_i (-b), \\ -p &= [(-p) \oplus (-q)] \oplus_i [(-p) \oplus (-q)] = [p \oplus q] \oplus_i [-(p \oplus q)], \\ -(a \oplus_i b) &= a \oplus_i (-b). \end{aligned}$$

Таким чином, можна отримати усю сукупність правил знаків для зворотних операцій:

$$a \oplus_i (-b) = (-a) \oplus_i (-b) = -(a \oplus_i b), \quad (-a) \oplus_i b = a \oplus_i b, \quad (6)$$

$$(-a) \bar{\oplus}_i b = a \bar{\oplus}_i (-b) = -(a \bar{\oplus}_i b), \quad (-a) \bar{\oplus}_i (-b) = a \bar{\oplus}_i (-b) = a \bar{\oplus}_i b. \quad (7)$$

Через те, що числові значення зворотних операцій в табл. 6, 7 витікають з табл. 5, 7 і правил знаків у формулах (6) та (7), були отримані із правил, що задані формулами (3) та (4), то тепер ми можемо виразити операції  $\oplus_i$  та  $\bar{\oplus}_i$  через операції  $\oplus$  та  $\bar{\oplus}$ . Спочатку розглянемо звичайні додавання та віднімання та їх зворотні операції:

$$(p+q) +_i (p-q) = p, \quad (p+q) -_i (p-q) = q. \quad (8)$$

Звичайні додавання та віднімання дають:

$$(p+q) + (p-q) = 2p, \quad (p+q) - (p-q) = 2q. \quad (9)$$

Операції  $+_i$  та  $-_i$  можна виразити через операції  $+$  та  $-$ :

$$\begin{aligned} (p+q) +_i (p-q) &= [(p+q) + (p-q)] \frac{1}{2}, \\ (p+q) -_i (p-q) &= [(p+q) - (p-q)] \frac{1}{2}. \end{aligned} \quad (10)$$

Рівняння (10) показує, що операція ділення повинна бути визначена до того, як можна обернути звичайне додавання та віднімання, не вводячи зворотні операції  $+_i$  та  $-_i$ .

Тепер підставимо  $p \oplus q$  та  $p \bar{\oplus} q$  замість  $p$  та  $q$  в табл. 4, 5, які визначають операції  $(p \oplus q) \oplus (p \oplus q)$  та  $[(p \oplus q) \bar{\oplus} (p \oplus q)]$ .

Із порівняння з табл. 6, 7, які визначають операції  $(p \oplus q) \oplus_i (p \oplus q)$  і  $(p \oplus q) \bar{\oplus}_i (p \oplus q)$ , отримуємо наступні правила ( $a = p \oplus q, b = p \oplus q$ ):

$$a \oplus_i b = a \oplus b \oplus S,$$

$$S = \begin{cases} 00 & a = 00 \\ 11 & a = 01 \\ 01 & a = 10 \\ 10 & a = 11 \end{cases},$$

$$a \bar{\oplus}_i b = a \bar{\oplus} b \oplus S,$$

$$S = \begin{cases} 00 & b = 00 \\ 11 & b = 01 \\ 01 & b = 10 \\ 10 & b = 11 \end{cases}.$$

Операції без переносу, які визначені вище, можуть використовуватись для виконання перетворень з великою швидкістю.

Малорозрядність оброблюваних залишків дозволяє для підвищення швидкодії арифметичних операцій у обчислювальних каналах застосовувати методи табличної підстановки, а операції додавання та множення у системі залишкових класів (СЗК) [9, 10] здійснювати паралельно по  $k$  обчислювальним каналам. Узагальнена структура пристроїв цифрової обробки сигналів у модулярній арифметиці представлена на рис. 2

Структура наведена на рис. 2 має цілий ряд переваг під час її реалізації на інтегральних схемах:

1. Незалежність кожного каналу забезпечує значну гнучкість під час планування і топологічного проектування кристалу мікросхеми.
2. Реалізація таких пристроїв на основі ПЛІС, які мають обмежений вентильний ресурс, може бути легко оптимізована з точки зору розміщення функціональних блоків.
3. Між'єднання трасування розташовуються лише всередині окремого обчислювального каналу, що виключає існування довгих трас, і як наслідок, це забезпечує деяке зменшення споживаної потужності і зменшення затримок проходження сигналів критичними шляхами.

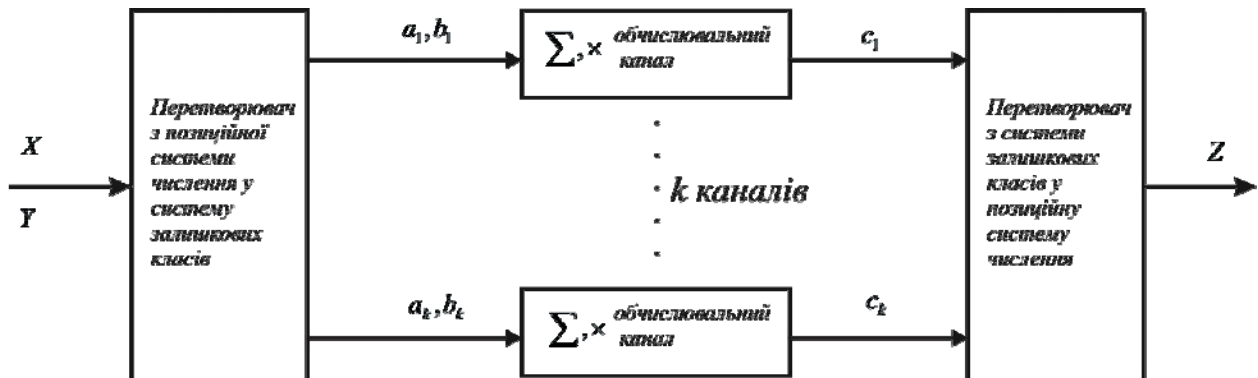


Рис. 2. Загальна структура пристроїв цифрової обробки сигналів в системах залишкових класів

4. Відсутність спеціальних вимог по синхронізації між окремими каналами (окрім синхронізації входу та виходу) значно полегшує трасування кіл тактової частоти, що приводить до покращення такого параметру як джитер вихідного сигналу.

5. За необхідності можливе введення додаткових надлишкових каналів для побудови відмово стійких систем.

Наведені факти, поряд із перевагами пропонованих обчислювачів в швидкодії та площі кристалу, дозволяють говорити про обчислення в системах залишкових класів як про перспективу технологію високопродуктивних систем цифрової обробки сигналів, а особливо систем прямого цифрового синтезу.

---

## 6. Висновки

---

Розглянуто причини виникнення затримки синтезованих сигналів у обчислювальних синтезаторах частоти і виявлено, що однією з найважливіших причин є затримка сигналів переносу у фазовому акуму-

ляторі синтезатора (класичному накопичувальному суматорі). Одночасно із зростанням робочих частот синтезатора зростає їх енергоспоживання, що є неприйнятним для портативної апаратури. Одним з обмежуючих факторів за максимальною швидкодією та якісним спектральним складом таких синтезаторів є швидкість окремих арифметичних операцій в ядрі цифрового синтезатора.

Розглянуто можливості застосування нових математичних підходів для побудови фазових акумуляторів без проблеми затримки поширення сигналів переносу із розряду у розряд кодового слова. Розглянута можливість застосування операцій у полі Галуа для покращення швидкодії синтезатора. Розроблено математичні операції для додавання та віднімання, множення та ділення пар чисел без переносу, такий самий підхід може бути використаний для виконання операцій більшої розрядності. Наведений математичний апарат дозволить побудувати цифровий обчислювальний синтезатор без проблеми затримки поширення сигналів переносу із розряду у розряд, за рахунок деякого ускладнення структури фазового акумулятора.

---

## Література

1. Vankka, J. Direct Digital Synthesizers: Theory, Design and Applications [Text] / J. Vankka // Helsinki University of Technology, 2000. – 192 - 194 p.
2. Vankka, J. Digital Synthesizers and Transmitters [Text] / J. Vankka // Editor Springer, 2005. – P. 35 - 47.
3. Byung-Do Yang, An 800-MHz Low-Power Direct digital Frequency synthesizer With an On-Chip D/A converter [Text]/ Byung-Do Yang, Jang-Hong Choi, Seon-Ho Han // IEEE Journal of solid-state circuits. – 2004. – Vol. 39, №5. - P. 56-68.
4. Cordesses L. Direct Digital Synthesis: A tool for Periodic Wave Generation (Part1)[Text] / Cordesses L. // IEEE Signal processing magazine. -№1.- 2004. - P. 49-54.
5. Goldberg, B. Digital Techniques in Frequency Synthesis [Text] / B. Goldberg // New York: McGraw-Hill, 1996. – P. 45-78.
6. Манасевич, В. Синтезатори частот: теорія і проектування [Текст]/ В. Манасевич //М., Связь, 1979. – 384 с.
7. Yuanwang Yang, Jingye Cai A Novel DDS Structure with Low Phase Noise and spurs [Text] / Yuanwang Yang //UESTC, Chengdu. – 2011. – P. 178 - 201.
8. Хармут, Х. Теорія секвентного аналізу: основи і застосування [Текст] / Х. Хармут // М.: Мир, 1980.- 578 с.
9. Николайчук, Я. М, Теоретичні засади та принципи побудови арифметико-логічного пристрою на основі вертикально-інформаційної технології [Text] / О. М. Заставний, П. В. Гуменний, Я. М. Николайчук // Вісник ХНУ. – 2012. – №2. – С. 190 – 196.
10. Николайчук, Я. М, Коды поля Галуа. Монография [Текст]/ Я. М. Николайчук // Тернопіль: ТЗОВ «Термограф», 2012. - 576 с.