

Література

1. Лекція 17. Основні принципи нанотехнології. Перспективи нанотехнології в системах записи і хранения інформації [Електронний ресурс] / Режим доступу : <http://rudocs.exdat.com/docs/index-247352.html> – 10.09.2014.
2. Закон Мура і його вплив на мікропроцесори. Створюємо свій процесор [Електронна версія] / Режим доступу : http://www.igropolis.com/articles/46496/Zakon_Mura_i_ego_vliyanie_na_mikroprocessory.htm – 12.09.2014.
3. Friedrich, J. Constitutional Supercooling in Czochralski Growth of Heavily Doped Silicon Crystals [Electronic resource] / J. Friedrich, L. Stockmeier, G. Muller // Acta Physica Polonica. – 2013. – Vol. 124, Issue 2. – P. 219. – Available at: <http://connection.ebscohost.com/c/articles/89750179/constitutional-supercooling-czochralski-growth-heavily-doped-silicon-crystals> – 10.09.2014. doi:10.12693/aphyspola.124.219
4. 5th International Workshop on Crystal Growth Technology [Electronic resource] / Berlin, Germany, 2011. – P. 32. – Available at: http://iwcgt5.ikz-berlin.de/fileadmin/pdf/IWCGT5_Abstractbook.pdf – 01.09.2014
5. Патент RU 2257428. Бывальд [Електронна версія] / Способ получения однородных монокристаллов. – опул. 27.07.2005. – Бюл. № 21. – Режим доступу: <http://www.freepatent.ru/images/patents/211/2257428/patent-2257428.pdf>. – 15.09.2014
6. 5th International Workshop on Crystal Growth Technology. June 26 - 30, 2011 Berlin, Germany. P. 79 [Electronic resource] / Available at : http://iwcgt5.ikz-berlin.de/fileadmin/pdf/IWCGT5_Abstractbook.pdf – 15.08.2014
7. Нашельский, А. Я. Технология полупроводниковых материалов [Текст] / А. Я. Нашельский. – М.: Металлургия, 1972. – 432 с.
8. Фалькевич, Э. С. Технология полупроводникового кремния [Текст] / Э. С. Фалькевич, Э. О. Пульнер, И. Ф. Червоный, Л. Я. Шварцман, В. Н. Ярким, И. В. Салли, Э. О. Пульнер, И. Ф. Червоный. – М.: Металлургия, 1992. – 408 с.
9. Глазов, В. М. Физико-химические основы легирования полупроводников [Текст] / В. М. Глазов, В. С. Земсков. – М.: Наука, 1967. – 367 с.
10. Случинская, И. А. Основы материаловедения и технологии полупроводников [Текст] / И. А. Случинская. – М.: Наука, 2002. – 376 с. – Режим доступу <http://www.twirpx.com/file/96095/> – 17.08.2014

Типова схема компаратора включає диференціальний каскад, вихідну логіку та схему зміщення рівнів. Сучасні компаратори мають стробуючий вхід, що забезпечує порівняння вхідних сигналів тільки в момент подачі відповідного імпульсу. Це дозволяє надавати компараторам прицельності, тобто порівнювати вхідні сигнали в той момент часу, коли це є необхідно із великою точністю

Ключові слова: операційний підсилювач, однопороговий аналоговий компаратор та гістерезисний компаратор Шмітта, бар'єр Шоттки

Типичная схема компаратора включает дифференциальный каскад, исходную логику и схему смещения уровней. Современные компараторы имеют стробирующий вход, обеспечивающий сравнение входных сигналов только в момент подачи соответствующего импульса. Это позволяет предоставлять компараторам прецизионности, т.е. сравнивать входные сигналы в тот момент времени, когда это необходимо с большой точностью

Ключевые слова: операционный усилитель, однопороговий аналоговий компаратор и гистерезисний компаратор Шмитта, бар'єр Шоттки

УДК 681.3

DOI: 10.15587/1729-4061.2014.27559

СХЕМОТЕХНІЧНІ, ТЕХНОЛОГІЧНІ ТА ФІЗИКО-ТОПОЛОГІЧНІ МЕТОДИ ПІДВИЩЕННЯ ШВИДКОДІЇ ІНТЕГРАЛЬНИХ КОМПАРАТОРІВ

С. П. Новосядлий

Доктор технічних наук, професор
Кафедра комп'ютерної інженерії та електроніки
Прикарпатський національний
університет ім. В. Стефаника
вул. Шевченка, 57,
м. Івано-Франківськ, Україна, 76025
E-mail: nsp@mail.pu.if.ua

1. Вступ

На практиці найбільше поширення отримали пристрої, які формують на виході або напругу проти-

лежної полярності при практично рівних абсолютних значення, або напругу однієї полярності. Перший варіант характерний для використання в ролі схеми порівняння операційного підсилювача (ОП), а дру-

гий-при використанні спеціалізованих інтегральних схем. В другому випадку вихідні напруги компаратора узгоджені за величиною і полярністю із сигналами, що використовуються в цифровій техніці.

Виходячи із наведеного, можна сказати, що вхідний сигнал компаратора має аналоговий характер, а вихідний цифровий. Внаслідок цього компаратори часто виконують роль елементів зв'язку між аналоговими і цифровими пристроями, тобто виконують роль аналогово - цифрових перетворювачів (АЦП).

Викладені в статті схемотехнічні, топологічні та технологічні рішення, направлені на підвищення швидкодії інтегральних компараторів реалізовувались на виробництві у ВАТ «Родон», яке було однією із головних організацій по розробці швидкодіючих ІС.

2. Аналіз досліджень і публікацій

Даний метод реалізований у швидкодіючих компараторів напруги LM160, LM161 фірми National Semiconductor. Ясно, що в тонкій базі біполярного транзистора об'ємний заряд, природньо, буде меншим ніж в товстій. Крім того, слабо легована база буде сприяти тому, що менша імовірність інжектованих дірок попаде в область колектора, і тому об'ємний заряд колектора також значно зменшиться. Використання тонкої слаболегованої бази, тим не менше має також один суттєвий недолік, який полягає у зменшенні величини оберненої напруги колектор-емітер (V_{CE0}). Саме обернена напруга зменшується із-за наявного ефекту Ерлі «проколу» бази. Цей ефект має місце, коли ширина збідненого шару бази буде поширюватись на перехід колектор-база і досягає переходу емітер-база. Ефективна ширина бази скорочується до нуля і проходить пряма інжекція електронів із емітера в колектор. Тому розробка інтегрального компаратора повинна проводитись з врахування максимально можливої оберненої напруги колектор-база при використанні транзисторів із тонкою базою.

Ми вибрали схемотехніку мікросхем LM160, LM161 (фірми National Semiconductor) як прикладу інтегральних компараторів, в яких за рахунок використання транзисторів з тонкою базою у вихідному каскаді досягається висока швидкодія. Ці компаратори мають час спрацювання на рівні 12–13 нс (номінал) при скачку вхідної напруги в 10 мВ [1]. В цих компараторах використовується зменшення часу розсмоктування за рахунок використання великого оберненого струму бази транзисторів, що виходять із режиму насичення. Тут вхідний каскад є *n-p-n*-диференціальний підсилювач, зміщений джерелом струму з пасивним навантаженням і не великою величиною опору (100–200 Ом). Цей каскад через емітерні повторювачі з'єднуються із другим каскадом диференціального підсилювача, навантаженням якого вже є перетворювач струм-напруга. Тут два парофазних виходи другого каскаду керують двома ідентичними схемами вихідного каскаду, по суті звичайними схемами швидкодіючої ТТЛ. Вихідний каскад живиться від окремого джерела живлення з напругою 5 В і тому рівні вихідної напруги компаратора є стандартними ТТЛ-рівнями.

На рис. 1, а приведена схема вихідного ТТЛ-каскаду та біполярних транзисторах з тонкою базою. В цій

схемі напрями струмів показані при переключенні компаратора із високого стану в низький, тобто коли транзистор Q_3 виходить із режиму насичення. При високому рівні напруги на емітері транзистора Q_1 , перехід колектор-база Q_1 є відкритим. При цьому тече струм в базу транзистора Q_2 , який швидко відкривається. Як тільки транзистор починає проводити струм, він формує обернений базовий струм транзистора Q_3 і досить швидко виводить транзистор Q_3 із насичення[2].

При переключенні компаратора в протилежний стан струми змінюють напрями як це показано на рис. 1, б.

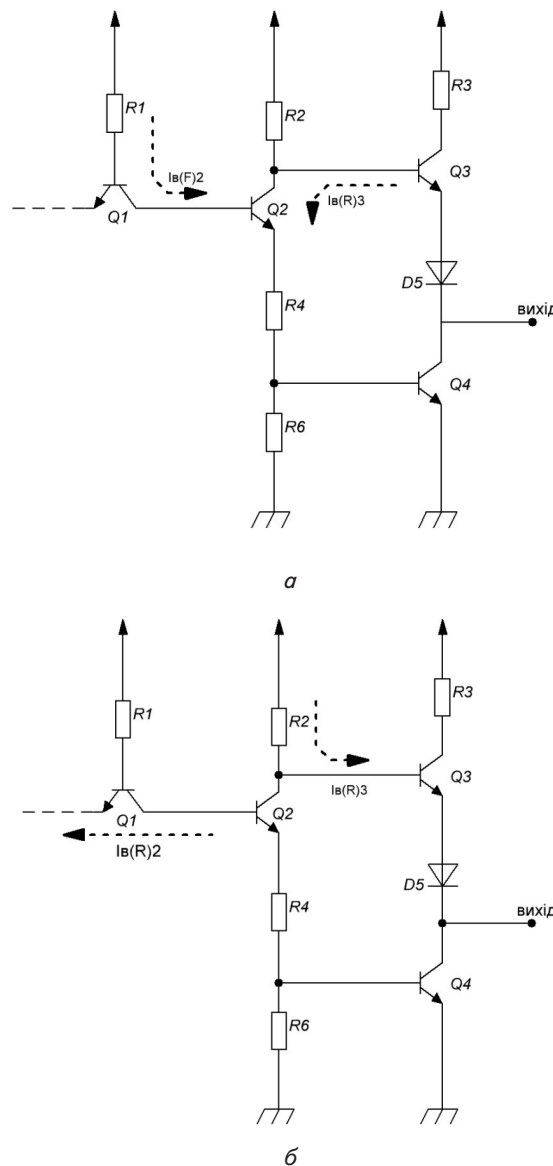


Рис. 1. Вихідний каскад швидкодіючого компаратора LM 161: а – переключення із високого стану в низький; б – переключення із низького стану у високий

В той же час транзистор Q_4 відкривається, переводячи вихідну напругу в низький логічний рівень $Q_{CE(sat)}$ величиною 0,1–0,3 В у залежності від коефіцієнта розвілення по виходу і опору навантаження.

Для переключення із низького стану у високий рівень напруги на емітері транзистора Q_1 повинен

стати низьким, після чого цей транзистор Q_1 перейде в активний режим. Колекторний струм цього транзистора буде виконувати функції оберненого базового струму транзистора Q_2 , який переходить із режиму насичення в режим відсічки. Як тільки транзистор Q_2 переходить в режим відсічки, транзистор Q_4 закривається, а транзистор Q_3 відкривається. В цьому випадку вихідна напруга збільшується до рівня логічної одиниці, рівної $V^+ - V_{BE} - V_{до} \cong 5 - 0,7 = 3,6$ В.

Таким чином, транзистори Q_2 і Q_3 достатньо швидко виходять із режиму насичення за рахунок швидкодіючих властивостей керуючого транзистора Q_1 і для $Q_2 - Q_1$, а для $Q_3 - Q_2$. Обернений базовий струм в обох випадках буде набагато більшим, ніж прямий за рахунки високого коефіцієнта передачі за струмом керуючого транзистора.

В цьому виконанні компаратора слабе легування баз транзисторів вихідного каскаду досягається багатозарядною імплантацією бора (BF_3^{++}), а емітера – дво-зарядними іонами миш'яку (As^{++}) або фосфору (P^{++}) і миш'яку для глибокого колектора.

Швидкодію таких компараторів також можна досягнути шляхом зменшення часу спрацювання, з рівня 8–12 нс шляхом використання у вхідному диференціальному каскаді супер-бета транзисторів, як не зроблено в ОП серії 140926 [3].

3. Формування цілей і задач

3.1. Підвищення швидкодії компараторів шляхом використання транзисторів Шоттки

Одним із найбільш ефективних методів зменшення часу переключення транзистора – це використання діодів з бар'єром Шоттки, включених паралельно переходу колектор-база транзисторів. Діод Шоттки, як правило, виконується на основі переходу метал – напівпровідник, що має випрямляючу властивість (рис. 2).

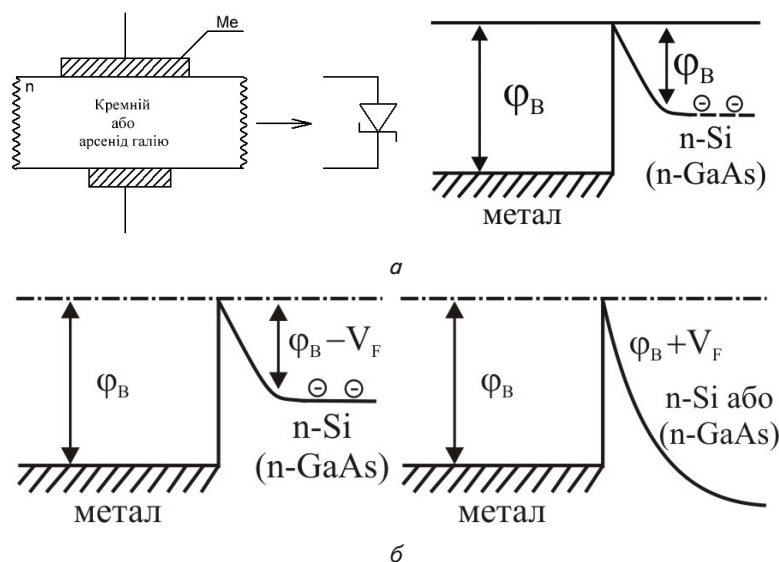


Рис. 2. Структура діода Шоттки і його енергетична діаграма: а – при нульовому; б – прямому і оберненому зміщенні

При формуванні бар'єра Шоттки на $n-Si$ частіше всього використовують золото, алюміній, хром і платину. Напівпровідником зазвичай служить $n-Si$ або $GaAs$ з помірною концентрацією акцепторів з питомим опором від 0,1 до 10 Ом·см. Шар металу представляє досить тонку металеву плівку, товщина якої спадає 0,8–1,2 мкм, що формується магнетронним розпиленням відповідної мішені.

На рис. 2, б показана енергетична діаграма бар'єра Шоттки, сформованого між $n-Si$ і металом. Висота бар'єра або контактний потенціал ϕ_B переходу метал $n-Si$ є рівною 0,56 В для Cr, 0,68 В для Al, 0,81 В для Au і 0,9 В для Pt. Це потенціальний бар'єр на шляху протікання електронів із металу в напівпровідник, причому висота його є достатньою для запобігання якого – небудь струму електронів в цьому напрямі [4].

Висота потенціального бар'єра для протікання електронів із напівпровідника в метал – ϕ_B , зазвичай, лежить в діапазоні 0,25–0,4 В. Порівнюючи його значення з контактним потенціалом (контактної різниці потенціалів) $p-n$ -переходу в Si від 0,8 до 0,9 В, можна зробити висновок, що внаслідок більш низького бар'єру для протікання електронів в діоді Шоттки, напруга зміщення, яка необхідна для забезпечення заданого значення рівня струму через діод Шоттки, приблизно в 2 рази менша, ніж в діоді на основі $p-n$ переходу. На рис.3б подана енергетична діаграма для нульового, прямого і оберненого зміщення. Якщо пряме зміщення, то метал (анод) стає позитивним по відношенню до напівпровідника (катода). Висота бар'єра зменшується до $\phi_B - \phi_F$, де V_F – пряма напруга зміщення [5]. Прямий струм через бар'єр є зв'язаний з прямим зміщенням експоненційною залеж-

ністю: $I_F = I_0 \left(\exp \frac{V_F}{V_T} - 1 \right) \cong I_0 \exp \frac{V_F}{V_T}$. Рівень прямої

напруги зміщення, який є необхідний для отримання струму через діод в міліамперному діапазоні 0,35 В в порівнянні з напругою 0,65–0,7 В, характерним для $p-n$ -переходу в $n-Si$. З точки зору прямого спаду напруги, діод з бар'єром Шоттки в $n-Si$ є аналогічний діоду на основі $p-n$ -переходу в германій (Ge).

На рис. 3, а, б показано транзистор Шоттки і його структуру в інтегральному виконанні.

Зазвичай діод Шоттки виготовляється як нероздільна частка структури транзистора, і тому такий транзистор називають транзистором Шоттки. Саме діод Шоттки формується шляхом нанесення металу, який перекриває базову і колекторну області, тобто $p-in$ -області. Так як рухливість електронів в 2–2,5 рази є більшою за рухливість дірок, то такий транзистор Шоттки формується на $n-Si$. Тут слід зауважити, що рухливість електронів в арсеніді галію є більшою в 3 рази за рухливість дірок в $GaAs$ і в 5 разів за рухливість дірок в Si , то швидкодія арсенід-галієвого транзистора Шоттки теж буде в 2,5–3 рази більшою за швидкодію кремнієвого. А про це ми скажемо дещо нижче.

Коли перехід колектор-база зміщується в прямому напрямі, то діод Шоттки відкри-

вається при прямій напрузі на рівні 0,2–0,3 В, а при напрузі 0,3–0,4 В він стає повністю провідним. При цьому діод Шотткі шунтує струм через перехід колектор-база транзистора. Таким чином, при використанні діода Шотткі пряма напруга зміщення на базі переходу емітер – база не буде перевищувати 0,3–0,4 В, так як поріг провідності в *p-n*-переходу на *n-Si* складає біля 0,5 В, то ми можемо сказати, що обмежувальна дія діода Шотткі не дозволяє при такій напрузі відкриватись переходу емітер-база.

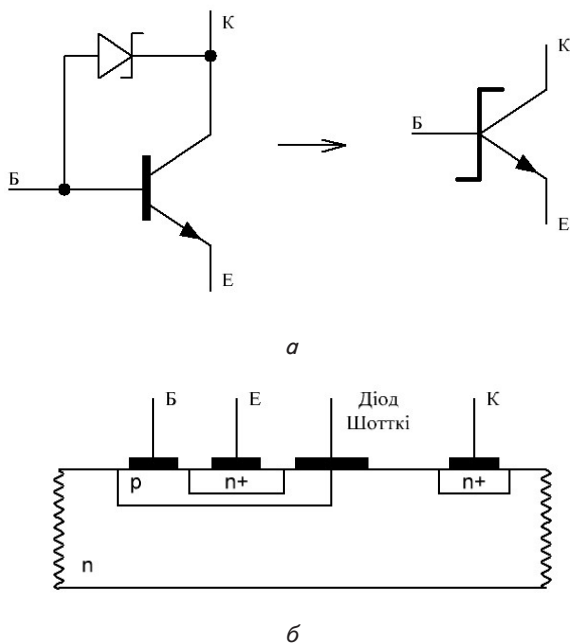


Рис. 3. Схема транзистора: а – Шотткі; б – його структура

В результаті перехід колектор – база не буде проводити електричний струм причому не буде як інжекції дірок із бази в колектор, так і емісії електронів із емітера в базу. Тому об’ємний заряд буде визначатись тільки електронами, які пролітають через активну базу: $Q_s = Q_B = I_c t_{tr}$. Так, як $I_B(R)t_s \approx Q_B$, то вираз для часу розсмоктування носіїв запишеться: $t_s = [I_c(sat) / I_B(R)] t_{tr}$, де $I_B(R)$ – обернений базовий струм. Час прольоту в інтегральних *p-n-p*-транзисторів досить малий, на рівні 30–100 пс, тому в транзисторах Шотткі можна досягнути часу розсмоктування на рівні і менше 1 нс [6].

Тепер швидкість переключення транзистора обмежена головним чином часом, необхідним для зміни спаду напруги на ємності переходу емітер – база, яка відповідає часу спаду.

Оскільки, $\Delta V_{BE} = \Delta Q_{BE} / \Delta C_{BE} \approx I_B(R) / C_{BE}(R) t_{fall}$ (C_{BE} , то отримаємо: $t_{fall} \approx \Delta V_{BE} C_{BE} / I_B(R)$. Приймавши, що $V_{BE}(sat) \approx 0,8$ В, а $V_{BE}(cutoff) \approx 0,5$ В, то зміна напруги емітер – база, яка необхідна для переходу транзистора із режиму насичення в режим відсічки складає біля 0,3 В. При $C_{BE} = 10$ пФ, і $I_B(R) = I_B(R) = 10$ мА = 3 с, то час спаду, таким чином, транзистор Шотткі можна забезпечити час переключення меншим 3 нс, а значить вигідно формувати на ньому швидкісні компаратори.

Компаратор NE529 фірми Signetics – приклад компаратора, в якому використанні транзистори Шотткі.

При скачку вхідної напруги 50 мВ цей компаратор має наступні часи спрацювання:

$t_{pd}(0) = 10$ нс (номінал) і 20 нс (максимум) – при переході в низький рівень (0);

$t_{pd}(1) = 12$ нс (номінал) і 20 нс (максимум) – при переході у високий рівень (1).

На рис. 4, а, б приведені його часи спрацювання при різних передачах вхідної напруги.

Принципова схема компаратора NE529 на транзисторах Шотткі приведена на рис. 4. Вона як і попередні схеми компараторів, містить два послідовних з’єднаних *n-p-n* і *p-n-p*-диференціальних підсилювачів, які керують двома комплементарними ТТЛ – схемами. Вхідним каскадом служить диференціальний підсилювач на біполярних транзисторах Q_1 і Q_2 , зміщення джерелом струму на транзисторі Q_{27} . Для досягнення високої швидкодії навантаження цього диференціального підсилювача є пасивним з використанням опорів R_2 і R_3 (по 1,5 кОм номіналом) [7]. Постійна складова вхідної напруги першого каскаду зсунута вниз за допомогою емітерних повторювачів на транзисторах Q_4 і Q_5 та стабілітронів D_4 і D_5 . Зміщення цієї схеми зсуву приводиться транзисторами джерела струму Q_6 і Q_7 . Повний зсув постійної складової є рівний: $V_{BE} + V_2 \approx 7,0$ В.

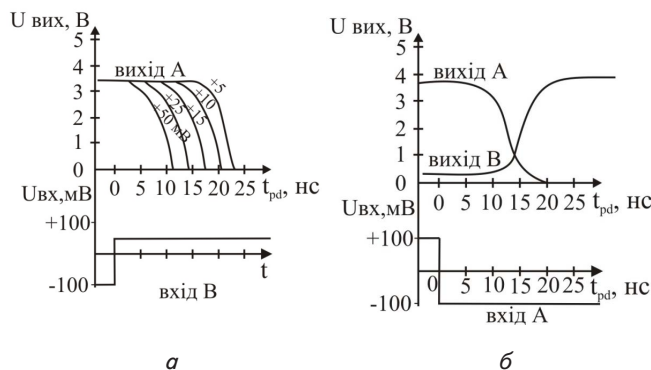


Рис. 4. Час спрацювання компаратора:

а – на транзисторах Шотткі NE 529 фірми Signetics при різних напругах переключення; б – час спрацювання на різних виходах при дії вхідної напруги переключення

Другий каскад диференціального підсилювача виконаний на транзисторах Q_{10}, Q_{11} , які є зміщені джерелами струму на транзисторі Q_8 . В ролі навантаження кожної із половин диференціального підсилювача використовується схема перетворювача струм – напруга з низьким вхідним опором, яка складається, з однієї сторони із Q_{12}, R_{11} (75 Ом) і Q_{13} (1 кОм) та із Q_{13} , R_{12} і R_{14} – з другої сторони.

Вхідна напруга другого диференціального каскаду використовується для керування вихідними схемами ТТЛ (А і В), які працюють в протифазі. ТТЛ – схеми мають активну двотактну конфігурацію для забезпечення швидкого заряду і розряду ємності навантаження, причому транзистори Q_{17} і Q_{18} та Q_{23} і Q_{24} використовуються для видачі струму в навантаження, а транзистори Q_{10} і Q_{20} та Q_{25}, Q_{26} – для споживання струму із навантаження.

Тут слід відзначити, що більшість транзисторів схеми – це транзистори Шоттки. Виключення складають транзистори, які не попадають в область насичення, такі як Q_4 і $Q_5, Q_{10}, Q_{11}, Q_{18}$. Крім цього, немає ніякої необхідності застосовувати транзистори Шоттки в схемах зміщення – це економія площі кристала.

З метою отримання сумісних з ТТЛ вихідних рівнів ТТЛ – каскади можуть житися окремо від останньої схеми постійною напругою 5,0В; для цього передбачений спеціальний вивід V_2^+ . Для забезпечення високої швидкодії і великого діапазону синфазної вхідної напруги для живлення даної схеми можна використовувати більш високу напругу живлення $V_1^{\pm} = \pm 10$ В.

Основний недолік схеми: транзистори Шоттки топологічно займають більшу площу кристала і технологія їх формування є дещо складнішою.

Подальше підвищення швидкодії компараторів на основі транзисторів Шоттки може бути реалізоване на арсенідгалієвих епітаксійних структурах, які виконані на Si – підкладках. Завдяки тому, що рухливість електронів в GaAs складає $> 3500 \text{ см}^2/\text{Вс}$, що майже в 3 рази більша за рухливість електронів в монокремнії, то і швидкодія таких компараторів може бути збільшена як мінімум в 3 рази, тобто їх час спрацювання може досягати 3–5 пс. Такий технологічний процес нами розроблений і запатентований.

3. 2. Мікропотужний К–МОН–компаратор напруги

К–МОН–інвертор, що поданий на рис. 5, може бути використаний в ролі основного елемента при побудові малопотужного компаратора напруги.

В К–МОН–інверторі, який працює в області переключення з високим коефіцієнтом підсилення, або ПТ будуть відкриті і будуть працювати або в режимі насичення або в активному режимі польовий транзистор можна розглядати в ролі навантаження другого. Для обох польових транзисторів справедливе співвідношення $I_{DS} = K (V_{GS} - V_t)^2$, де параметри K і V_t залежать від властивостей кожного із транзисторів Q_1 чи Q_2 . Динамічна передатна провідність визначається виразом:

$$g_{fs} = dI_{DS} / dV_{GS} = 2K(V_{GS} - V_t) = 2I_{DS} / (V_{GS} - V_t).$$

Активним навантаженням кожного польового транзистора є динамічний опір, стік – витік r_{ds} другого польового транзистора. Цей опір приблизно є рівний $r_{ds} = V_A / I_{DS}$, де V_A – коефіцієнт модуляції довжини каналу, який зазвичай лежить в діапазоні, від 30 до 300 В. Аналізуючи взаємодію таких польових транзисторів в простому випадку, при $K_p = -K_n$, $V_{tn} = -V_{tp}$ (порогова напруга) і $V_{An} = -V_{Ap}$, то для коефіцієнта підсилення за напругою цієї КМОН – схеми можемо записати:

$$A_v = 2g_{fs} (r_{ds} / 2) = \frac{2I_{DS}}{2V_{GS} + V_t} \cdot \frac{V_A}{I_{DS}} = 2V_A / (V_{GS} - V_t).$$

В таких умовах робоча точка спокою, яка знаходиться в середині діапазону переключення, приблизно є рівною середньоарифметичному двох напруг живлення $V^+ + V^-$, так що $V_{GS}(n) = -V_{GS}(p) = V^+ - V^- / 2$. Відповідно вираз для коефіцієнта підсилення можна вже подати у вигляді:

$$A_v = 2|V_A| \left[(V^+ - V^-) / 2 - |V_t| \right].$$

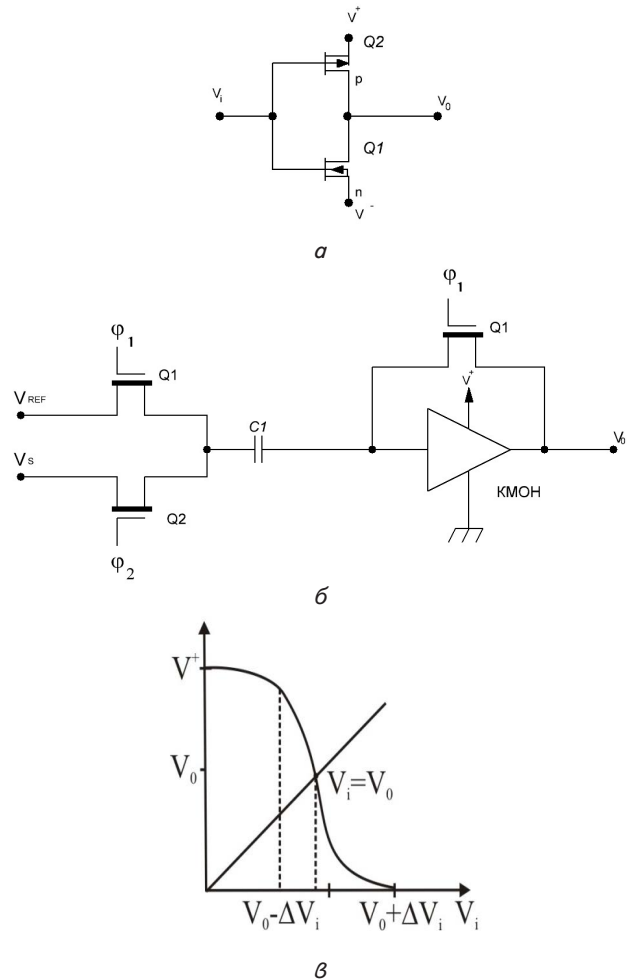


Рис. 5. Еквівалентна схема: а – К–МОН–інвертор; б – принципова схема КМОН–компаратора напруги; в – його передатна характеристика

Наприклад, якщо $|V_t| = 2,0$ В, $V_A = 60$ В для обох транзисторів, а повна напруга живлення (розмах) $(V^+ - V^-) = 10$ В, то результуючий коефіцієнт підсилення буде $A_v = 2 \cdot 30 / (5 - 2) = 40$. Якщо живлення довести до 5 В, то коефіцієнт підсилення за напругою в області переключення може досягти значення 240 і більше.

На рис. 6, б, в подана схема КМОН–компаратора напруги та його передатна характеристика. Транзистори $Q_1 - Q_3$ виконують функцію аналогових ключів, а саме КМОН–інвертор може містити один або декілька КМОН–каскадів.

Коли потенціал ϕ_1 , має високий рівень, транзистори Q_1 і Q_2 відкриваються, а для КМОН–інвертора, можна записати $V_i = V_o = V_Q$. Напруга на ємності C_1 рівна $V_{REF} - V_Q$. Потім потенціал ϕ_1 , приймає значення і ключі Q_1 і Q_2 закриваються. Коли потенціал ϕ_2 досягає високого рівня, то відкривається транзистор Q_3 . Проте напруга на ємності C_1 змінюватись скачком не може, так як при закритому транзисторі Q_2 струм через конденсатор не тече. Оскільки напруга на лівій обкладинці конденсатора зміниться від величини V_{REF}

до V_A , напруга на вході К-МОН-інвертора відповідно зміниться на $\Delta V_A = V_{REF} V$ від V_Q до $V_Q + \Delta V_i$. Це приводить до того, що вихідна напруга V_0 переключиться або в низький стан (рис. 6, *в*), якщо $V_S > V_{REF}$ (тобто $\Delta V_i > 0$), або у високий стан, якщо $V_S < V_{REF}$ (тобто $\Delta V_i < 0$) [8].

Вся схема компаратора напруги може бути виконана тільки на МОН-транзисторах, тому такий компаратор буде займати дуже малу площу на кристалі (а значить виготовлення буде супроводжуватися високим виходом), що особливо є важливим при реалізації паралельних аналогово-цифрових перетворювачів, для побудови яких необхідно розміщувати на кристалі велике число компараторів (≥ 100). Ще однією перевагою К-МОН-інверторів є їх дуже низьке споживання потужності. Перехід від кремнієвої технології до арсенідгалієвої збільшує швидкість компараторів майже в три рази за рахунок того, що рухливість електронів в GaAs є більшою в три рази в порівнянні з кремнієм. Ще одна перевага арсенідгалієвих компараторів перед кремнієвими полягає у використанні бар'єрів Шотткі для формування комплементарних структур, технологія яких розроблена. Зупинимось на її особливостях при формуванні GaAs-КМОН-структур із самосуміщеним WN_x – завором (із нітриду вольфраму).

Розвиток технології GaAs ВІС сьогодні повністю сконцентрувались навколо логічних схем, які виконуються тільки на *n*-канальних ПТ із затвором Шотткі (ПТШ). При переході до комплементарних структур ВІС на ПТШ однією з основних проблем є мала висота бар'єра Шотткі на арсеніді галію *p*-типу (*p*-GaAs).

В цьому розділі, ми подаємо виготовлення затвору на основі реактивного напиленого магнетронним ВЧ-розпиленням вольфрамової мішені в аргонно-азотній плазмі, який може бути використаний так і для формування контакта (бар'єра Шотткі) як для *p*-канальних, так і *p*-канальних ПТШ.

Так як при виготовленні самосумісних ПТШ тугоплавкий матеріал затвора використовується як маска в процесі іонної імплантації, контакт (бар'єр) Шотткі повинен витримувати наступну фотонну термообробку, яка є необхідною для активації імплантованої багатозарядної домішки.

Саме в даній роботі вперше проведені експериментальні дослідження дії нагрівання на висоту бар'єра, що формується контактом Шотткі нітриду вольфраму (WN_x – типу) до *p*-GaAs для створення комплементарних структур на бар'єрах Шотткі збагаченого та збідненого типу.

Для таких досліджень використовувалась підкладка GaAs, що була вирізана із злитка, вирощеного методом Бріджемена 50 мм та легована Si – до $N \leq 10^{16} \text{ см}^{-3}$. За допомогою хімічного осадження із газової фази металоорганічного галію, і згину був вирощений епітаксійний шар товщиною 0,5 легований кремнієм до концентрації $5 \cdot 10^{14} \text{ см}^{-3}$, тобто використовувались ар-

сенід галієві епітаксійні структури (АЕС) – *n*⁺ – типу. Нітрид вольфраму WN_x був осаджений реактивним V_p – магнетронним розпиленням вольфрамової мішені в аргонно-азотній плазмі, що містила 10–12 % N_2 . Безпосередньо перед процесом осадження нітриду вольфрама GaAs – підкладка оброблялась у водневому розчині HCl (2 хв) для усунення з поверхні власного оксиду. Потім за допомогою проєкційного літографічного процесу із сухим травленням в CF_4/O_2 із осадженої плівки WN_x були сформовані діоди Шотткі. Попередньо перед осадженням плівки WN_x вся поверхня GaAs – підкладки імплантувалась іонами берилію (Be^+) з дозою 1–2 мккл/см² при енергії 50 кеВ глибиною 0,1 мкм для створення шару *p*-типу. Після проводилась активація імплантованої *p*-домішки в атмосферу $AsH_3 + Ar$ за допомогою фотонного відпалу на установці «Імпульс-3» протягом 10–12 с. Самосуміщені *p*-канальні арсенідгалієві ПТШ формувались за допомогою технологічного процесу, поданого на рис. 6.

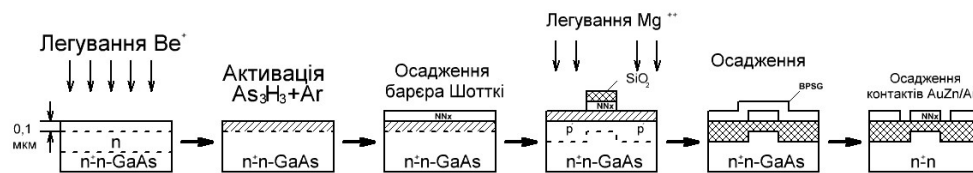


Рис. 6. Технологічний процес формування *p*-канальних самосуміщених польових транзисторів Шотткі на основі бар'єрів WN_x до *p*-GaAs

Як бачимо із рис. 6 ретроградні стік – витокові області польових транзисторів формувались багатозарядною імплантацією магнію (Mg^{++}) з дозою 10–25 мккл/см² при енергії 75 кеВ на глибину 0,25 мкм [9].

Для захисту сформованих структур та приведення активної імплантованої домішки (Mg^{++}) при формуванні *p*⁺ – стік – витокових областей наносилилось (БФСС) борофосфорносілікатне скло (товщиною 0,5 мОм) динамічним пірогенним осадженням в реакторі пониженого тиску типу «Ізотрон-3». Активація *p*⁺ – домішок проводилась фотонним імпульсивним підпалом на установці «Імпульс-3» протягом 4–6 с. Сформовані потім константи осадженням плівки золота із водневого розчину золото хлористоводневої кислоти та напилення сплаву AnZn та іншим фрезеруванням. Рипавлялись протягом 15хв в атмосфера аргону при $T=450 \text{ }^\circ\text{C}$.

Висота бар'єра Шотткі ϕ_b і діодний коефіцієнт (неідеальності) *n* визначність на основі вольфрамових характеристик за допомогою рівнянь термоелектронної емісії.

Отримана для виготовлених тестових діодів залежність висоти бар'єра ϕ_b та діодного коефіцієнта *n* від температури відгалу, що приводилась після осадження, показано на рис. 7, *а, б*, де 1 – це висота бар'єра ϕ_b , 2 – величина додатного коефіцієнта. Як бачимо, температурний відгалу значно понижує висоту бар'єра Шотткі. Ці результати подані на графіку в порівнянні: з опублікованими значеннями для *p*-GaAs ПТШ, які теж мали бар'єри Шотткі на основі нітриду вольфраму. Як бачимо, можна визначити такий температурний режим відгалу, який практично зрівнює висоту бар'єрів Шотткі для *p* – і *n*-канальних ПТШ. Це температура в

межах 520–720° С протягом 5–10 с фотонного температурного відпалу.

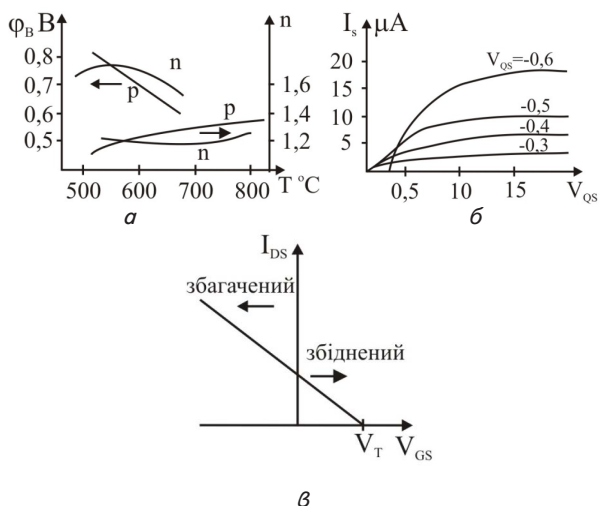


Рис. 7. Залежність висоти бар'єра Шоттки на WN_x для n - і p -типу ПТШ та діодного коефіцієнта від температури відпалу: a – вольтамперна характеристика p -канального ПТШ; b – передатна характеристика ПТШ; c – збіднені і збагачені ПТШ

Як відомо, сума бар'єрів Шоттки на матеріалах p - і n -типу повинна бути рівною ширині забороненої зони. Як бачимо є діапазон температур відпалу, при якій бар'єри стають однаковими. Це є важливо для побудови комплементарних структур на ПТШ, сформованих на GaAs.

Ще раз аргументуємо технологічні особливості формування p -канальних ПТШ. Активний напіл формувався за допомогою селективної імплантації Be^+ на глибину 0,1 мкм при енергії 50 мВ і дозі $5 \cdot 10^{12} \text{ см}^{-2}$. Активація імплантованої домішки Be^+ провадилась для беззахисної плівки в атмосфері Ag/AsH_3 фотонним відпалом при $T=720^\circ \text{C}$ протягом 10 с, що забезпечує досить високий рівень активації (>48%). Затвор із нітриту вольфраму WN_x формувався розпиленням вольфрамової мішені в аргонно-азотній плазмі. Стік – витокові p^+ -області були виготовлені шляхом реброградної імплантації двозарядних іонів магнію Mg^{++} з енергією 75–120 KeV з дозою $1 \cdot 10^{13} \text{ см}^{-2}$ з використанням самосуміщеного затвору WN_x – типу. Активація домішки в спін – витокових областях приводяться фотонним імпульсом відпалом протягом 4 секунди при $T=720^\circ \text{C}$.

За допомогою вимірювання ВАХ затворів ПТШ із розмірами 4×24 мкм було визначено, що висота бар'єра для WN_x – затвора при формуванні p - ПТШ типу була в межах $\phi_b = 0,680,02 \text{ eV}$, а діодний коефіцієнт $n = 1,35 \pm 0,12$. Були також вимірювані параметри ПТШ, що відповідали рівнянню:

$$I_{DS} = K(V_G - V_T)^2,$$

де I_{DS} – струм насичення менший стік – витік, V_G – напруга на затворі, V_T – порогова напруга. При довжині затвора 4 мкм типова порогова напруга ПТШ складала – $250 \pm 15 \text{ мВ}$, а довжина затвора 1,2 мкм по-

рогова напруга зменшувалась до величини $100 \pm 15 \text{ мВ}$, що вказує на вплив короткого каналу. При розмірах затвору $1,2 \times 24$ мкм коефіцієнт K складав величину $0,0880,012 \text{ мА} / \text{В}^2$, що визначалось різною величиною рухливості електронів і дірок. На рис. 8, б приведені вихідні ВАХ p -канальних ПТШ з WN_x – затвором розміром $1,2 \times 24$ мкм. Крутизна характеристики не перевищувала $4,5 \text{ мкм} / \text{мм}$. Приведені розробки комп'ютерного моделювання за допомогою програми SPICE логічних впливів (інверторів), поданих на рис. 8, а, на рис. 8, в передатня характеристика збагаченого та збідненого ПТШ. Вентилі (с) і (д) на рис. 8 мають діоди, що зсувають рівень.

Введення додаткових діодів зсуву рівня що дозволяє підвищувати напругу живлення $E_{ж}$ від 0,75 до 1,2 В. Вентилі в) і д) є квазікомплементарними, бо в них p -ПТШ реагує в режимі збіднення. Результати моделювання демонструє А, В, С, D по рис. 9. інверторам що подані на рис. 8.

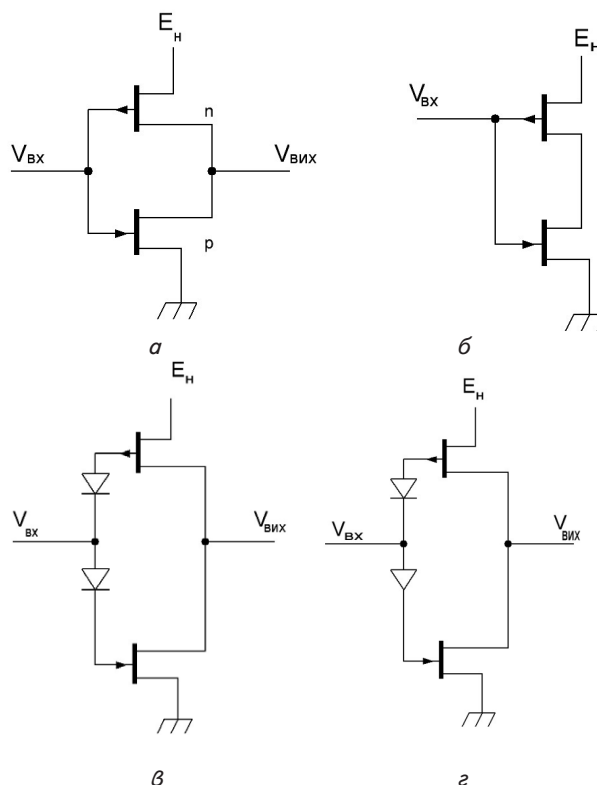


Рис. 8. Логічні вентилі (інвертори) на $a, б$ – збагачених та $в, г$ – збіднених ПТШ із WN_x – затвором

Таким чином, технологія формування комплементарних ІС на ПТШ вимагає узгодження процесу формування n - і p - канальних ПТШ для забезпечення необхідної висоти бар'єрів та порогової напруги. Ці параметри визначаються технологією формування WN_x – затворів та режимом фотонної активації імплантованих домішок берилію та магнію. Це вимагає проведення додаткових досліджень по оптимізації електрофізичних параметрів структур ІС з використанням тестового контролю. Як бачимо КМОН-компаратори на GaAs ПТШ мають не таку високу швидкодію (в ПТШ відсутнє накопичення заряду), але і суттєво зменшують потужність споживання.

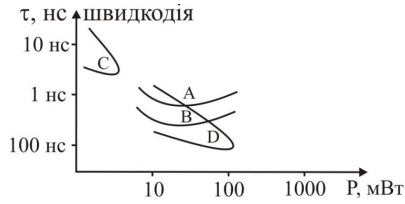


Рис. 9. Залежність швидкодії вентилів від потужності споживання

3. 3. Технологічний процес ізопланарної біполярної мікросхеми аналогового компаратора

Даний процес буде розглядатись на прикладі мікросхеми, основним елементом якої є біполярний транзистор, зображений на рис. 10, а, б. Послідовність технологічних процесів формування таких інтегральних аналогових компараторів будемо використовувати даний рисунок. В ролі підкладки використовується пластини кремнію з епітаксійним шаром n – типу КЕС (з концентрацією домішки $5 \cdot 10^5 - 10^{16} \text{ см}^{-3}$) із захованим параметрами n^+ –КЕС типу з поверхневим опором 10–35 Ом/м сформованими багатозарядною імплантацією миш'яка As^{++} .

Технологія формування кремнієвих епітаксійних структур (КЕС) повністю усуває явища автолегування та зміщення захованого шару. Тут слід зауважити, що рівень поверхні областей із захованими шарами є нижче рівня решти поверхні областей із захованими шарами є нижче рівня решти поверхні підкладки, що дає можливість після епітаксійного нарощування суміщати рисунок захованого шару з рисунком топології в других шарах транзисторної структури. Формування захованого шару відповідно здійснюється фотолітографічним процесом на діоксиді кремнію з використанням анізотропного плазмохімічного травлення.

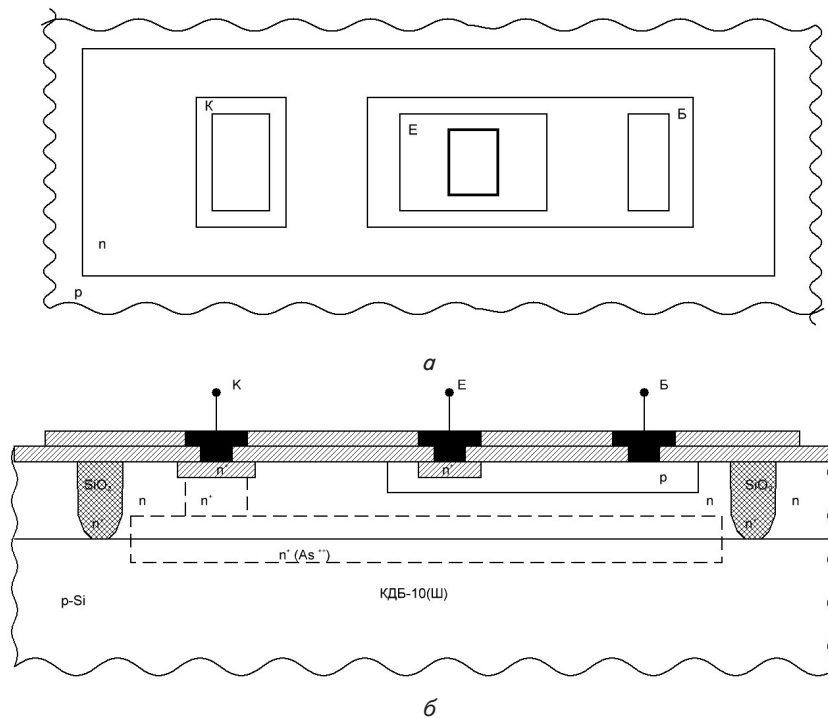


Рис. 10. Інтегральний біполярний транзистор: а – топологія; б – структура

Перша група технологічних операцій направлена на отримання електричної ізоляції між елементами мікросхеми. На поверхні кремнієвої підкладки із захованими шарами (КЕС) термічним окисдуванням в реакторі пониженого тиску формується плівка SiO_2 , на яку осаджується із парогазової суміші моносилана і аміаку плівка нітриду кремнію (Si_3N_4), яка виконує роль маскуючого покриття при локальному окисленні кремнію. Товщина маскуючої нітридної плівки складає 50–100 нм. Під шар діоксиду товщиною 0,15–0,25 мкм є буфером між кремнієм і маскою (Si_3N_4). Його присутність понижує термомеханічні напруження в кремнії, які викликані високою твердістю (Si_3N_4), і тим самим понижується ефективність приповерхневої дифузії кисню і імовірність утворення структури типу «пташиний дзьб» різко понижується з використанням термоепітаксійного осаджування на установці «Термоком» при тиску 10–15 атм [10].

Другий процес фотолітографії проводиться з метою отримання (топології) ізолюючих областей SiO_2 та p^+ – шарів. Використовуючи в ролі захисної маски фоторезист як захисної маски плазмохімічному травленні у фтормісній плазмі $CF_4 + O_2$ страмається плівка Si_3N_4 , SiO_2 , а також частина епітаксіного шару (5–10 мкм), яка складає біля 0,55 його загальної товщини. В цьому випадку проходить планаризація поверхні підкладки, тобто ізолюючий шар SiO_2 росте таким чином, що його поверхня площина і поверхня кремнію лежать в одній площині.

Після завершення процесу фотолітографії фоторезист як межа не віддаляється і провадиться багатозарядне іонне легування бору (B^{++}) для створення p^+ – областей, при цьому маскою при локальній імплантації виступає двошарова плівка $SiO_2 + Si_3N_4$ та фоторезист. Товщина p^+ – шару вибирається такою, щоб частина цього шару після термоокисдування при тиску 10–12 атм зберігалась під шаром SiO_2 . Наявність сильнолегованої p^+ – області під ізолюючим SiO_2 запобігає утворенню інверсного шару, що суттєво збільшує порогову напругу паразитних транзисторів і створює надійну локальну ізоляцію між елементами мікросхеми компаратора [11].

Після видалення фоторезиста в кисневій плазмі проводиться локальне термічне окисдування в установці «Термоком» при $T=720 \text{ }^\circ\text{C}$ і тиску 10–12 атм для формування ізолюючих областей SiO_2 поверхні p^+ – шару, які перекриваються за товщиною весь епітаксійний шар. Плівка Si_3N_4 видаляється хімічним травленням в гарячій ортофосфорній кислоті.

Після завершення операцій по формуванню локальної ізоляції формується транзисторна структура. Знову формується термічне окисдування і фотолітографія в шарі фоторезиста ФНП383 створюється рисунок – технологія базових областей. При використанні фоторезиста

як маски проводиться локальна багатозарядна імплантація бору (B^{++}) через плівку SiO_2 та товщиною 1–2 мкм. Імплантація домішки (B^{++}) через плівку SiO_2 знижує концентрацію радіаційних дефектів.

Наступний процес фотолітографії створюється рисунк-топологія для формування вертикального колекторного шару n^+ – типу для його з'єднання із захочаним p^+ – шаром. Розмір області SiO_2 , що розділяє в топологічному плані області бази і емітера вибирається відповідним лінійним зазором, який може бути реалізований між металевими контактами.

П'ята літографія формує рисунок-топологію n^+ – областей емітера і колектора. Після плазмохімічного травлення вікон в SiO_2 не зникає фоторезист стає маскою при локальній імплантації миш'яка As чи As^{++} . Після видалення фоторезиста проводиться процес насичення оксинітридного гетера його відпал при $900^\circ C$, що одночасно активує As^+ та виникають радіаційні дефекти. Гетерний оксинітридний шар понижує радіаційні дефекти. Гетерний оксинітридний шар понижує зарядний стан на межі $Si-SiO_2$ до рівня $10^{10}-10^{11} eV^{-1}cm^{-2}$ для забезпечення високої термостабільності вхідних струмів і напруги зміщення нуля.

Для отримання омичних контактів і електричної розводки між елементами аналогового компаратора на поверхню підкладок наноситься плівка сплаву алюмінію АКГо-1-1, впалюється при $T = 450-475^\circ C$ в аргоні [12].

Шостою літографією формується рисунки-топологія електричної розводки. Вся поверхня кристалу (пластини) покривається захисною плівкою (БФСС, Si_3N_4 або Al_2O_3) із відкритим вікном до контактних площадок літографічним процесом.

4. Висновки

1. Для зниження впливу на параметри ОП запропоновано схемотехнічне рішення з використанням схем струмового дзеркала, схеми Дарлінгтона, динамічного навантаження, супер бета-транзисторів.

2. На основі біполярної технології розроблені схемотехнічні рішення ОП, в яких вихідні каскади виконані на транзисторах Шоттки, що збільшує швидкодію компараторів, з використанням сплаву АКГо-1-1.

3. Оригінальним рішенням в підвищенні швидкодії аналогових компараторів є використання у вхідному каскаді польових МОН-транзисторів із стабілізованою затворною системою оксинітриду кремнію, сформованим магнетронним розпиленням кремнієвої мішені в азотній плазмі.

4. Запропонована і запатентована технологія формування швидкодійних компараторів на арсеніді галію з використанням комплементарних МОН-транзисторів, та польових транзисторів на гетероперході.

Література

1. Коледов, Я. А. Конструированные и технология микросхем. Курсовое проектирование [Текст]: учеб. пос. для вузов / Я. А. Коледов, В. А. Волков, Н. К. Докучаев; под ред. П. А. Коледова. – М.: Высшая школа, 1992 – 231 с.
2. Чистяков, Ю. Д. Технология СБИС [Текст]: в 2-х кн. / под ред. С. Зи; пер. с англ. Ю. Д. Чистякова. – М.: Мир, 1986. – Кн. 2. – 455 с.
3. Айнспрук, Н. У. Арсенид галлия в микроэлектронике [Текст] / У. Уиссен, У. Френсли, У. Дункан и др.; под ред. Н. Айнспрука, У. Уиссена; пер. с англ. под ред. В. Н. Мордковича. – М.: Мир, 1988. – 554 с.
4. Ди Лоренцо, А. В. Полевые транзисторы на арсениде галлия. Принципы работы и технология изготовления [Текст] / под ред. А. В. Ди Лоренцо, Д. Д. Канделуола; пер с англ. под ред. Г. В. Петрова. – М.: Радио и связь, 1988. – 489 с.
5. Ватанаба, Н. Проектирование СБИС [Текст] / Н. Ватанаба, К. Асада, К. Кани, Т. Оцуки; пер с англ. под ред. Л. В. Поспелова. – М.: Мир, 1988. – 304 с.
6. Новосядлий, С. П. Суб-нанометрна технологія структур ВІС [Текст] / С. П. Новосядлий. – Івано-Франківськ: Місто НВ, 2010 – 456 с.
7. Новосядлий, С. П. Фізико-технологічні основи субмікронної технології ВІС [Текст] / С. П. Новосядлий. – Івано-Франківськ: Сімик, 2003. – С. 52-54.
8. Новосядлий, С. П. Радіаційна технологія при формуванні, субмікронних структур ВІС [Текст] / С. П. Новосядлий // Металофізика і новітні технології. – 2002. – № 7. – С. 1003–1013.
9. Новосядлий, С. П. Формування кремнієвих епітаксійних структур для сумішених Ві – К – МОН і Д – МОН технологій ВІС [Текст] / С. П. Новосядлий // Металофізика і новітні технології. – 2002. – Т. 24, № 3. – С. 353–365.
10. Березин, А. С. Технологія конструювання ІС [Текст] / А. С. Березин, О. Р. Могалякин. – М.: Дис. – 1992. – 254 с.
11. Алексеенко А. Г. Основи микросхемотехники [Текст] / А. Г. Алексеенко. – М.: Лаб. баз знаній. – 2002. – 286 с.
12. Павлов, В. М. Схемотехніка аналогових схем [Текст] / В. М. Павлов, В. М. Ночин. – М.:Гор.мик-техника. – 2001. – 320 с.