

ПРОГРАМНА РЕАЛІЗАЦІЯ ТА ДОСЛІДЖЕННЯ СИСТЕМИ ТУРБОКОДУВАННЯ НА БАЗІ РЕКУРСИВНО СИСТЕМАТИЧНИХ КОДЕРІВ

В роботі запропоновано програмна реалізація системи турбокодування на мові опису апаратних засобів VHDL, що надає змогу реалізації даної системи кодування та декодування у ПЛІС структурі. Розглянуто поведінку даної системи у каналі зв'язку з адитивним накладанням малопотужного шуму. Модульна побудова 16-ти бітового кодера та декодера за моделлю максимальної априорної ймовірності, дозволяє реалізувати систему турбокодування блоковим методом

Ключові слова: VHDL, турбо-кодер, завадостійке кодування

В работе предложена программная реализация системы турбокодирования на языке описания аппаратных средств VHDL, что дает возможность реализации данной системы кодирования и декодирования в ПЛИС структуре. Рассмотрено поведение данной системы в канале связи с аддитивным наложением маломощного шума. Построение 16-ти битного кодера и декодера по модели максимальной априорной вероятности позволяет реализовывать систему турбокодирования блочным методом

Ключевые слова: VHDL, турбо-кодер, помехоустойчивое кодирование

Л.Ф. Політанський

Доктор технічних наук, професор, завідувач кафедри*

Контактний тел.: (03722) 4-24-36

E-mail: rt-dpt@chnu.cv.ua

О.М. Еліяшів

Аспірант*

Контактний тел.: 099-315-38-92

E-mail: melyart111@ukr.net

Н.Г. Гладун*

Контактний тел.: 097-031-30-55

E-mail: estimate92@gmail.com

*Кафедра радіотехніки та інформаційної безпеки

Чернівецький національний університет ім. Юрія

Федьковича

вул. Коцюбинського, 2, м. Чернівці, Україна, 58012

1. Вступ

В даний час має місце тенденція широкого застосування систем завадостійкого кодування інформації, що висуває все більш жорсткі вимоги до виробів електронної техніки. Це обумовлено складністю задач, що потребують вирішення – підвищенню швидкодії та правдоподібності передачі інформації, при одночасному зменшенню споживаної потужності системи передачі інформації. Одним із напрямків вирішення цієї проблеми є використання програмованих логічних інтегральних схем ПЛІС [1].

ПЛІС – електронний компонент, що використовується для створення цифрових схем обробки інформації. На відміну від звичайних цифрових мікросхем, функції виконувани ПЛІС не формуються в процесі їх виготовлення, а задаються використовуючи програмування. Метою даної роботи є дослідження і аналіз можливостей застосування ПЛІС при побудові систем завадостійкого кодування.

Для проведення дослідження був вибраний метод турбокодування, що відноситься до методу прямого коректування помилок. Турбо-кодер формується шляхом паралельного з'єднання двох кодерів, що розділені почерговувачем рис. 1.

Вибір кодерів та почерговувачів може бути довільним але при цьому зазвичай необхідно дотримуватись наступних вимог: використання ідентичних кодерів; код повинен бути систематичним, тобто інформаційні біти повинні бути розташовані на початку або в кінці кодового слова; читання бітів почерговувачем повинно здійснюватися у псевдовипадковому порядку.

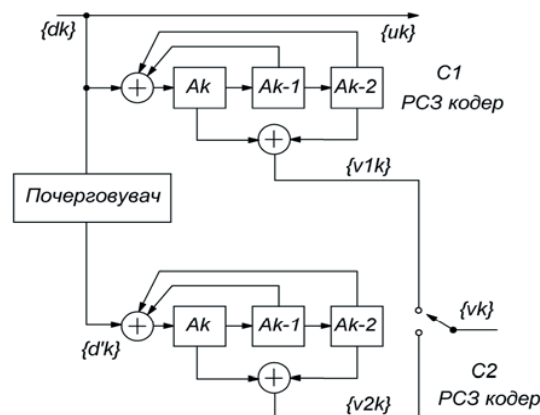


Рис. 1. Структура турбо-кодера (PC3 кодер – рекурсивно систематичний згортковий кодер)

Почерговувач здійснює формування псевдовипадкової послідовності із вхідних бітів, що не співпадає з інформаційною послідовністю [2].

2. Турбо-кодер на основі рекурсивних систематичних згорткових кодерів

Розглянемо прості двійкові згорткові кодери зі ступенем кодування 1/2, довжиною кодового слова K та пам'яттю порядку K - 1 [3]. На вхід кодера в момент k, подається інформаційний біт d_k, що кодується бітовою парою (u_k, v_k):

$$u_k = \sum_{i=0}^{K-1} g_{1i} d_{k-i} \text{ по модулю } 2, \quad g_{1i} = 0,1, \quad (1)$$

$$v_k = \sum_{i=0}^{K-1} g_{2i} d_{k-i} \text{ по модулю } 2, \quad g_{2i} = 0,1, \quad (2)$$

де G₁ = {g_{1i}} і G₂ = {g_{2i}} генератори коду, а d_k що представляє двійкову цифру 0 або 1 [4]. Цей кодер можна представити як лінійну систему з кінцевою дискретною імпульсною характеристикою, що породжує добре знайомий несистематичний згортковий код.

Такі ж компоненти використовуються в рекурсивних систематичних згорткових (recursive systematic convolutional – RSC) кодах, оскільки в них попередньо кодовані біти даних повинні подаватися на вхід кодера. При високих ступенях кодування RSC кодери дають значно вищі результати, ніж кодери NSC, при будь-яких значеннях відношення сигнал/шум. Двійковий код RSC зі ступенем кодування 1/2 утворюється з коду NSC за допомогою контуру зворотнього зв'язку та встановлення одного з двох виходів рівним d_k. Структурна схема кодера та ґраткова структура, що використовувались приведені на рис. 2 та рис. 3 відповідно.

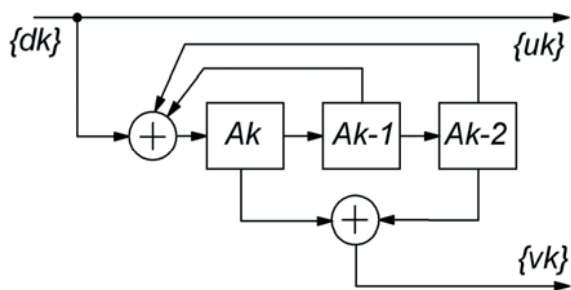


Рис. 2. Структурна схема рекурсивно систематичного згорткового кодера

Метрика гілок
u v

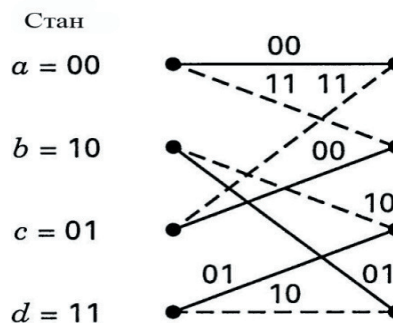


Рис. 3. Ґраткова структура RSC кодера

Розглянемо паралельну конкатенацію двох RSC-кодерів, зі структурою приведеною на рис. 2. Турбо код будуватиметься із складових кодів з невеликою довжиною кодового слова (K = 3–5) [5]. Прикладом такого турбо кодера є кодер, структура якого приведена на рис. 1, в цій схемі перемикач v_k забезпечує ступінь кодування коду рівним 1/2 (без використання перемикача ступінь кодування коду буде рівна 1/3). Складові коди повинні мати однакову довжину кодового слова і ступінь кодування.

Для моделювання турбо-кодера використовувалась вхідна послідовність, що складає масив даних розміром 16 біт. Для конкатенації двох турбо-кодерів використовувався почерговувач

Принцип заміни почерговувачем вхідних бітів на вихідні виражений у табл. 1. NX – номер вхідного біта, а NY – номер вихідного біта, сформований почерговувачем [5].

Таблиця 1

Заміна бітів почерговувачем	
N _x	1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16
N _y	1 3 5 7 9 11 13 15 2 4 6 8 10 12 14 16

При моделюванні здійсненому на прикладі послідовності bit_data = {1000010000100001}, де перший біт є коректуючим, що завжди задається логічною одиницею, а решта 15 біт є інформаційними табл. 2.

Результатом моделювання роботи турбо – кодера є послідовність, що умовно поділяється на три частини.

Перша частина – послідовність вхідних даних bit_data.

Друга та третя частина є кодовими послідовностями двох кодерів (Y1kout, Y2kout), табл. 2.

Таблиця 2

Послідовність вхідних та вихідних бітів кодера

Номер вхідного біта	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Значення бітів інформаційного повідомлення	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1
Значення бітів другої кодової частини	1	1	1	0	1	0	1	0	1	1	1	0	0	0	0	1
Значення бітів третьої кодової частини	0	0	0	0	0	0	0	0	1	1	1	1	0	0	1	0

3. Модель каналу. Декодування

Після кодування дані передаються на модулятор призначенням якого є конвертування логічного рівня нуля чи одиниці у сигнальний рівень (+1 та -1 відповідно). Моделювання каналу зв'язку здійснювалось накладанням малопотужного шуму на інформаційний сигнал.

Декодування проводилось з використанням схеми з оберненим зв'язком за максимальним значенням апостеріорної ймовірності та прийняттям жорсткого рішення стосовно прийнятого сигналу [4].

Алгоритм максимальної апостеріорної ймовірності базується на визначенні коефіцієнта правдоподібності за метриками стану та гілок, визначається за наступним виразом:

$$L(\hat{d}_k) = \log \left[\frac{\sum_m \alpha_k^m \delta_k^{1,m} \beta_{k+1}^{f(1,m)}}{\sum_m \alpha_k^m \delta_k^{0,m} \beta_{k+1}^{f(0,m)}} \right], \quad (3)$$

де, α_k^m – пряма метрика стану, $\delta_k^{1,m}$ – метрика гілки, $\beta_{k+1}^{f(1,m)}$ – обернена метрика стану.

Структура декодера рис. 4 містить ланку оберненого зв'язку, що забезпечує більшу ймовірність правильного декодування за рахунок збільшення значень коефіцієнта правдоподібності.

Розглянемо поетапно процес декодування, структурна схема якого приведена на рис. 4. Дані з каналу зв'язку разом із першою кодовою послідовністю поступають на перший декодер (DEC1). Результати програмного обчислення коефіцієнтів правдоподібності для масиву даних $bit_data = \{1000010000100001\}$ зображені в табл. 3. Замітимо, що перший біт є не інформаційний, тому ми вважаємо його на рівні +1.

Наступним етапом є проходження масиву коефіцієнтів через почерговувач аналогічний тому, що використовується у кодері. Після почерговувача дані поступають на другий декодер (DEC2) який використовує другу кодову комбінацію.

Коефіцієнти збільшують своє значення по модулю, збільшуючи тим самим ймовірність правильного декодування.

Надалі процес повторюється із врахуванням оберненого зв'язку.

Оскільки більшість коефіцієнтів правдоподібності мають значення за модулем більше "10", то є доцільним розпізнавання бітів прийняттям жорсткого рішення, що здійснюється декодером HD (hard decisions). Критерій прийняття рішення наступний: якщо коефіцієнт правдоподібності більший 0 то порядковому біту присвоюється значення логічної одиниці, якщо навпаки – логічний нуль. Як видно з табл. 4, значення бітів після прийняття жорстких рішень декодером HD повністю співпадають зі значенням бітів інформаційного повідомлення.



Рис. 4. Структурна схема турбо-декодера

Таблица 3

Результати програмного обчислення коефіцієнтів правдоподібності

Коефіцієнти правдоподібності	L1	L2	L3	L4	L5	L6	L7	L8	L9	L10	L11	L12	L13	L14	L15	L16
Значення коефіцієнтів правдоподібності після першого декодера	1	-1,6813	-0,61127	-1,7157	-1,9184	1,8076	-0,2545	-0,82393	-0,58782	-0,57364	1,5616	-1,5995	-1,2686	-1,2138	-1,0000	1,9941
Значення коефіцієнтів правдоподібності після другого декодера	6,804	-2,543	-2,481	-4,252	-5,4608	5,8122	-2,1628	-1,8671	-4,3426	-5,9821	4,0805	-4,4204	-5,3171	-3,100	-4,0643	2,3446
Значення коефіцієнтів правдоподібності після декодування першим декодером із внесенням оберненого зв'язку	13,682	-8,7253	-8,2566	-20,769	-10,750	9,5087	-8,7005	-8,6746	-9,7023	-11,513	9,0696	-10,092	-11,697	-9,1004	-10,056	12,348
Кінцеві значення коефіцієнтів правдоподібності	22,780	-15,187	-19,067	-19,778	-18,383	13,017	-21,236	-16,46	-17,802	-43,194	11,015	-12,570	-28,261	-17,679	-13,962	23,446

Таблиця 4

Жорсткі рішення декодера

Номер вихідного біта	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Значення біта	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	1

Запропонована модель системи турбо – кодування та декодування реалізована на мові опису апаратних засобів VHDL, що уможливило її реалізацію на ПЛІС структурах. До особливостей побудови системи турбо – кодування на VHDL (Very high integrated circuits Hardware Description Language) відноситься можливість використання системи вцілому або розбиття системи на окремі складові. Кінцевий результат моделювання кодування та декодування вхідних та вихідних даних приведені в табл. 5.

Таблиця 5

Результат моделювання кодування та декодування вхідних та вихідних даних (dat – вхід кодера, out_data – вихід декодера)

Name	Value	Name	Value
dat	8421	out_data	8421
dat(1)	1	out_data(1)	1
dat(2)	0	out_data(2)	0
dat(3)	0	out_data(3)	0
dat(4)	0	out_data(4)	0
dat(5)	0	out_data(5)	0
dat(6)	1	out_data(6)	1
dat(7)	0	out_data(7)	0
dat(8)	0	out_data(8)	0
dat(9)	0	out_data(9)	0
dat(10)	0	out_data(10)	0
dat(11)	1	out_data(11)	1
dat(12)	0	out_data(12)	0
dat(13)	0	out_data(13)	0
dat(14)	0	out_data(14)	0
dat(15)	0	out_data(15)	0
dat(16)	1	out_data(16)	1

Abstract

For the research, the turbo-encoding method was chosen. It refers to the method of the direct correction of errors. We have implemented and studied programmatically the turbo-encoding and decoding systems, according to the method of maximum final probability. The model of a turbo-encoder is based on the use of the recursive systematic convolutional encoders and the use of interleaver for the connection of the encoders. We have implemented and calculated the decoding model by the method of maximum final probability using feedback and the decoder of the output hard decision. The simulated operation of the system was implemented in the hardware description language VHDL, which allows its implementation on the EPLD structures. The special features of the system turbo-encoding development in VHDL (Very high integrated circuits Hardware Description Language) include the possibility of using the system as a whole or partitioning the system into separate components. The turbo-encoding system can increase the speed of information transfer without requiring an increase of a transmitter power, or can be used to reduce the required power in the transmission with given rate. An important advantage of the system is an independence of the decoding complexity from the length of the information block that allows the reduction of the possibility of the decoding error by increasing its length

Keywords: VHDL, turbo-encoder, antinoise coding

5. Висновки

Запропонована методика аналізу роботи кожного із модулів системи на мові опису апаратних засобів VHDL що надає можливість апаратної реалізації різноманітних рекурсивно – систематичних кодерів.

Промодельована робота 16-ти бітового турбо кодера, та декодера за методом максимальної апостеріорної ймовірності.

Вивчена поведінка даної системи у каналі зв'язку з адитивним накладанням малопотужного шуму.

Литература

1. Соловьев, В.В. Проектирование цифровых систем на основе программируемых логических интегральных схем [Текст] / Соловьев В.В. М.: Горячая линия–Телеком, 2013, 636 с.
2. Dolinar, S. Weight Distributions for Turbo Codes Using Random and Nonrandom Permutations [Текст] / Dolinar S., Divsalar D., TDA Progress Report 42-122, Jet Propulsion Laboratory, August 15, 1995, pp. 56-65.
3. Скляр, Б. Цифровая связь. Теоретические основы и практическое применение Изд. 2-е, испр. : Пер. с англ. [Текст] / Скляр Б. – М. : Издательский дом Вильямс, 2003, 1104 с.
4. Divsalar, D. On the Design of Turbo Codes [Текст] / Divsalar D., Pollara F. TDA Progress Report 42-123, Jet Propulsion Laboratory, November 15, 1995, pp. 99-121.
5. Berrou C. Near Shannon Limit Error-Correcting Coding and Decoding: Turbo Codes [Текст] / Berrou C., Glavieux A., Thitimajshima P. IEEE Proceedings of the Int. Conf. on Communications, May 1993 (ICC '93), pp. 1064-1070.
6. Іванюк, П.В. Дослідження хаотичних процесів, генерованих системою Лю [Текст] / П.В. Іванюк, Л.Ф. Політанський, Р.Л. Політанський // Восточно-Европейский журнал передовых технологий. – 2011. – №4/9(52). – С. 11 – 15.